

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiro SHIMOJO, et al.

GAU: 2831

SERIAL NO: 10/772,378

EXAMINER:

FILED: February 6, 2004

FOR: CAPACITOR STRUCTURE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-402087	December 1, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Eckhard H. Kuesters
Registration No. 28,870

Joseph A. Scafetta, Jr.
Registration No. 26,803

Customer Number
22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

I:\USER\VSSUL\DECS & ASSIGNMENTS\248574US\REQUEST FOR PRIORITY.DOC

0381257
1017721378

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 0 2 0 8 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 0 2 0 8 7]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 4 - 3 0 0 3 1 4 9

【書類名】 特許願
【整理番号】 A000304281
【提出日】 平成15年12月 1日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
 【氏名】 下城 義朗
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
 【氏名】 首藤 晋
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

下部電極、上部電極及びこれらの間に配置される誘電体から構成されるキャパシタと、前記キャパシタを取り囲む絶縁層と、前記誘電体と前記絶縁層との間に配置され、前記誘電体の側壁部を完全に覆う高誘電体を具備し、前記高誘電体の比誘電率は、前記絶縁層の比誘電率よりも大きいことを特徴とする半導体装置。

【請求項 2】

前記高誘電体の比誘電率は、前記キャパシタを構成する前記誘電体の比誘電率よりも大きいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記高誘電体と前記キャパシタを構成する前記誘電体との間には、両者の反応を防ぐためのバリア層が配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

第 1 導電体を形成する工程と、前記第 1 導電体上に誘電体を形成する工程と、前記誘電体上に第 2 導電体を形成する工程と、前記第 2 導電体及び前記誘電体をエッチングし、前記第 2 導電体からなる上部電極を形成する工程と、前記誘電体の側面を完全に覆い、絶縁層よりも高い比誘電率を有する高誘電体を形成する工程と、前記高誘電体及び前記第 1 導電体をエッチングし、前記第 1 導電体からなる下部電極を形成する工程と、前記下部電極、前記上部電極及び前記高誘電体を覆う前記絶縁層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 5】

前記高誘電体をエッチングした後、前記高誘電体からなるハードマスクをマスクにして、前記第 1 導電体をエッチングすることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記第 1 導電体のエッチングが終了した時点で、前記上部電極の上部に前記高誘電体が存在しなくなるように、エッチング選択比の制御が行われることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、キャパシタ構造に関し、特に、キャパシタをデータ記憶素子として用いる半導体メモリに適用される。

【背景技術】

【0002】

半導体集積回路に使用されるキャパシタは、例えば、図32に示すような構造を有している。近年では、キャパシタのキャパシタンスを大きくするために、キャパシタ電極間に配置される誘電体（電極間誘電体）に高誘電体を使用するケースが増えている。

【0003】

ここで、高誘電体とは、酸化シリコン（ SiO_2 ）の比誘電率 κ ＝約3.9よりも大きな比誘電率を持つ誘電体のことをいうものとする。

【0004】

例えば、ダイナミックランダムアクセスメモリ（DRAM）では、従来、比誘電率 κ が10程度までの材料（ SiO_2 、 SiN など）を電極間誘電体として使用してきた。しかし、近年では、比誘電率 κ が30程度までの材料（ TaO_2 、 TiO_2 、 Al_2O_3 、 ZrO_2 、 HfO_2 など）を使用したり、さらに、比誘電率 κ が500程度までの材料（BST、PZT、SBTなど）を使用するようになってきている。

【0005】

また、強誘電体メモリ（Ferro-electric RAM：以下、FeRAM）に関しては、現在、比誘電率 κ が100程度から500程度までの強誘電体材料、例えば、PZT、SBTなどを、電極間誘電体として使用するケースが多くなっている。

【特許文献1】特開2000-36568号公報

【特許文献2】特開平10-275897号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

キャパシタ電極間に発生する電気力線について考える。

【0007】

図29に示すように、キャパシタの中央部においては、キャパシタ電極間に発生する電気力線は、一方の電極から他方の電極に向かって、まっすぐに延びている。しかし、キャパシタの端部においては、電気力線は、カーブを描いている。

【0008】

ここで、上述したように、現在、キャパシタの電極間誘電体の比誘電率 κ は、大きくなる傾向にある。一方、キャパシタを取り囲む絶縁層としては、酸化シリコン（ SiO_2 ）を用いるのが一般的である。

【0009】

この場合、例えば、図30及び図31に示すように、電極間誘電体（本例では、PZT）とその周囲に配置される酸化シリコン（ SiO_2 ）との比誘電率の差に起因して、電気力線がキャパシタ電極間のスペースから大きくはみ出すことがある。

【0010】

このようなキャパシタの端部における電気力線の膨らみも、キャパシタ電極の面積が、キャパシタ電極間の距離に対して十分に大きい場合には、特に、問題とはならない。なぜなら、このような場合には、電気力線のほとんどがキャパシタ電極間のスペースを横切ることになるため、キャパシタの端部における電気力線の膨らみに起因する静電エネルギーの損失分を無視できるからである。

【0011】

しかし、素子の微細化が進行し、キャパシタ電極の面積が小さくなってくると、電気力

線がキャパシタ電極間のスペースの外に膨らむことによる静電エネルギーの損失分が無視できなくなってくる。つまり、その損失分だけ、キャパシタのキャパシタンスが小さくなり、十分なキャパシタンスを確保できなくなる。

【0012】

例えば、キャパシタをデータ記憶素子として用いる半導体メモリ（DRAM、FeRAMなど）では、データをキャパシタに蓄えられた電荷量として記憶するため、このようなキャパシタンスの減少は、“1”データと“0”データとの間のマージンを小さくすることを意味し、データのS/N比の劣化を招くことになる。

【0013】

なお、図32に、キャパシタをデータ記憶素子として用いる半導体メモリの例として、従来のFeRAMの構造を示す。

【0014】

本発明の目的は、キャパシタの端部における電気力線の膨らみに起因する静電エネルギーの損失をできるだけ小さくし、これにより、キャパシタのキャパシタンスを向上させ、もって、キャパシタをデータ記憶素子として用いる半導体メモリのS/N比を向上させることにある。

【課題を解決するための手段】

【0015】

本発明の例に関わる半導体装置は、下部電極、上部電極及びこれらの間に配置される誘電体から構成されるキャパシタと、キャパシタを取り囲む絶縁層と、誘電体と絶縁層との間に配置され、誘電体の側壁部を完全に覆う高誘電体とを備え、高誘電体の比誘電率は、絶縁層の比誘電率よりも大きい。

【0016】

本発明の例に関わる半導体装置の製造方法は、第1導電体を形成する工程と、第1導電体上に誘電体を形成する工程と、誘電体上に第2導電体を形成する工程と、第2導電体及び誘電体をエッチングし、第2導電体からなる上部電極を形成する工程と、誘電体の側面を完全に覆う高誘電体を形成する工程と、高誘電体及び第1導電体をエッチングし、第1導電体からなる下部電極を形成する工程と、下部電極、上部電極及び高誘電体を覆う絶縁層を形成する工程とを備え、高誘電体の比誘電率は、絶縁層の比誘電率よりも大きい。

【発明の効果】

【0017】

本発明の例によれば、キャパシタの端部における電気力線の膨らみに起因する静電エネルギーの損失を小さくでき、その結果、キャパシタのキャパシタンスを向上できる。これにより、キャパシタをデータ記憶素子として用いる半導体メモリのS/N比を向上させることができる。

【発明を実施するための最良の形態】

【0018】

以下、図面を参照しながら、本発明を実施するための最良の形態について詳細に説明する。

【0019】

1. キャパシタ構造の例

図1は、本発明の例に関わるキャパシタ構造を示している。

【0020】

キャパシタは、下部電極（Bottom Electrode）BE、上部電極（Top Electrode）TE及びこれらの間に配置される誘電体Dから構成される。

【0021】

誘電体Dは、例えば、 SiO_2 、 SiN 、 TaO_2 、 TiO_2 、 Al_2O_3 、 ZrO_2 、 HfO_2 、BST、PZT、SBTなどから構成される。

【0022】

キャパシタは、絶縁層Low-kにより取り囲まれている。ここで、絶縁層Low-k

とは、酸化シリコン (SiO_2) の比誘電率 κ = 約 3.9 と同じ又はそれよりも小さい比誘電率を持つ絶縁層 (空気層も含む) のことをいうものとする。絶縁層 Low-k は、例えば、酸化シリコンから構成される。

【0023】

誘電体 D と絶縁層 Low-k との間には、絶縁層 High-k が配置される。絶縁層 High-k は、誘電体 D の側壁部を完全に覆っている。ここで、絶縁層 High-k とは、酸化シリコン (SiO_2) の比誘電率 κ = 約 3.9 よりも大きい比誘電率を持つ絶縁層、つまり、高誘電体のことをいうものとする。

【0024】

絶縁層 High-k は、例えば、 SiN 、 TaO_2 、 TiO_2 、 Al_2O_3 、 ZrO_2 、 HfO_2 、BST、PZT、SBT などから構成される。

【0025】

絶縁層 Low-k は、配線間の寄生容量を低減するために、できるだけ低い比誘電率を持つ材料から構成する傾向にある。そこで、本発明の例では、少なくとも誘電体 D の側壁部については、絶縁層 High-k で覆うようにする。

【0026】

このような構成にすれば、誘電体 D が絶縁層 Low-k に直接接触する場合に比べて、キャパシタの端部における電気力線の膨らみを小さくすることができる。つまり、本発明の例によれば、キャパシタの端部における静電エネルギーの損失を小さくでき、これにより、キャパシタのキャパシタンスを大幅に向上できる。

【0027】

なお、絶縁層 High-k の比誘電率を誘電体 D のそれよりも大きくすれば、図 2 及び図 3 に示すように、両者の比誘電率の差に起因して、電気力線の大部分がキャパシタ電極間のスペース内に収まるようになるため、キャパシタの端部における静電エネルギーの損失をさらに小さくできる。

【0028】

図 1 のキャパシタ構造では、キャパシタの側面を傾斜させることにより、全体を台形状にしている。但し、本発明の例は、このような形に限定されるものではなく、様々な形のキャパシタに適用できる。

【0029】

2. 実施の形態

以下、本発明の例に関わるキャパシタを FeRAM のメモリセルに適用した場合の実施の形態について説明する。

【0030】

(1) 第 1 実施の形態

[A] 構造

図 4 は、本発明の第 1 実施の形態に関わる FeRAM のメモリセルを示している。

【0031】

このメモリセルは、セルキャパシタの下部電極に対するコンタクトをセルキャパシタの上部からとるオフセット型セル構造を有する。

【0032】

シリコン基板 11 上には、セルトランジスタが形成される。セルトランジスタは、ソース/ドレイン領域 12、ゲート絶縁層 13 及びゲート電極 14 を有している。セルトランジスタは、絶縁層 (例えば、酸化シリコン) 15 により覆われる。

【0033】

絶縁層 15 上には、セルキャパシタの下部電極 (例えば、Pt) 19 が形成される。下部電極 19 は、例えば、図 5 に示すように、その上部から見た場合に、四角形を有している。ここで、四角形のエッジ部分は、丸みを帯びていても構わない。

【0034】

下部電極 19 上には、強誘電体 (例えば、PZT, SBT など) 20 が形成される。強

誘電体 20 上には、上部電極（例えば、Pt）21 が形成される。

【0035】

上部電極 21 は、例えば、図 5 に示すように、その上部から見た場合に、四角形を有している。ここで、四角形のエッジ部分は、丸みを帯びていても構わない。上部電極 21 は、下部電極 19 よりも小さい。

【0036】

上部電極 21 上には、強誘電体 20 及び上部電極 21 をパターンニングするときのマスクとして機能する絶縁層（例えば、酸化シリコン）22 が形成される。

【0037】

ここで、本発明の例では、下部電極 19 と上部電極 21 との間に配置される強誘電体 20 の側壁部を完全に覆うように、高誘電体（例えば、SiN、TaO₂、TiO₂、Al₂O₃、ZrO₂、HfO₂、BST、PZT、SBT など）30 が形成される。

【0038】

高誘電体 30 は、その周囲を取り囲む後述する絶縁層（例えば、酸化シリコン）23、24 の比誘電率よりも高い比誘電率を有する材料から構成される。

【0039】

本例では、例えば、図 5 に示すように、高誘電体 30 は、強誘電体 20 及び上部電極 21 を完全に覆っている。

【0040】

高誘電体 30 の厚さは、強誘電体 20 の厚さと同じ程度に形成するのがよい。ここで、高誘電体 30 の厚さとは、強誘電体 20 及び上部電極 21 の側壁部におけるシリコン基板 11 の表面に平行な方向の厚さのことをいうものとする。

【0041】

高誘電体 30 上には、絶縁層（例えば、酸化シリコン）23 が形成される。絶縁層 23 は、下部電極 19 及び高誘電体 30 をパターンニングするときのマスクとして機能する。

【0042】

絶縁層 23 上には、絶縁層（例えば、酸化シリコン）24 が形成される。絶縁層 22、23、24 及び高誘電体 30 には、上部電極 21 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 25 が形成される。コンタクトプラグ 25 上には、配線 28 が形成される。

【0043】

また、絶縁層 23、24 及び高誘電体 30 には、下部電極 19 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 26 が形成される。同様に、絶縁層 15、24 には、ソース／ドレイン領域 12 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 16 が形成される。コンタクトプラグ 16、26 上には、配線 29 が形成される。

【0044】

このような構造によれば、FeRAM のメモリセルを構成するセルキャパシタの端部が、酸化シリコン（SiO₂）などの層間絶縁層の比誘電率よりも高い比誘電率を有する高誘電体により覆われている。

【0045】

この場合、例えば、図 6 及び図 7 に示すように、本発明の例に関わるセルキャパシタの端部における電気力線（図 6）の横方向への拡がり、従来のセルキャパシタの端部における電気力線（図 7）の横方向への拡がりよりも小さくなる。

【0046】

従って、本発明の例によれば、セルキャパシタの端部における電界緩和を解消でき、セルキャパシタの端部においても強誘電体 20 を効率よく分極させることができる。

【0047】

以上のように、本発明の例によれば、電気力線の膨らみによる静電エネルギーの損失を

できるだけ小さくし、これにより、キャパシタのキャパシタンスを向上させ、もって、キャパシタをデータ記憶素子として用いる半導体メモリのS/N比を向上させることができる。

【0048】

なお、本実施の形態では、セルキャパシタの側面は、シリコン基板11の表面に対して垂直又はほぼ垂直であるが、例えば、図1のキャパシタのように、セルキャパシタの側面をテーパ状にしてもよい。

【0049】

本実施の形態は、FeRAMを例にとって説明したが、メモリセルにキャパシタを使用する他の半導体メモリ、例えば、DRAMにも容易に適用可能である。この場合、セルキャパシタを構成する誘電体を、「強誘電体」から「高誘電体」に置き換えればよい。

【0050】

[B] 製造方法

次に、図4に示すFeRAMの製造方法の例について説明する。

【0051】

まず、図8に示すように、CMOS技術を用いて、シリコン基板11上に、ソース/ドレイン領域12、ゲート絶縁層13及びゲート電極14からなるセルトランジスタを形成する。ここでは、セルトランジスタの具体的な製造方法については、省略する。

【0052】

この後、例えば、LPCVD法を用いて、セルトランジスタを完全に覆う絶縁層（例えば、酸化シリコン）15を形成する。CMP（Chemical Mechanical Polishing）を用いて、絶縁層15の表面を平坦化する。

【0053】

また、例えば、スパッタ法により、絶縁層15上に、下部電極（例えば、Pt、Ir、IrO₂ など）19を形成し、下部電極19上に、強誘電体（例えば、PZT、SbT など）20を形成し、強誘電体20上に、上部電極（例えば、Pt、Ir、IrO₂ など）21を形成する。

【0054】

なお、強誘電体20の形成に関しては、スパッタ法に代えて、例えば、CVD法、ゾルゲル（Sol-gel）法や、CSD法などの方法を使用してもよい。

【0055】

この後、強誘電体20及び上部電極21を、例えば、RIEを用いてパターンニングする。ここで、RIEによる部材のパターンニング方法に関しては、フォトマスクそのものをマスク材に使用する方法と、フォトマスクのパターンをSiO₂ などからなるハードマスクに転写し、このハードマスクをマスク材に使用する方法との2つが存在する。

【0056】

フォトマスクをマスク材とする方法は、プロセス数が少なく、簡便である、という利点を有するが、フォトマスクが高温に耐えられないことから、RIE時の温度を十分に上げることができない、という欠点がある。このため、この方法は、蒸気圧の低い物質を対象とするエッチングには適していない。

【0057】

これに対し、ハードマスクをマスク材とする方法は、プロセス数が増加する、という欠点はあるが、第一に、RIE時の温度を十分に上げることができ、蒸気圧の低い物質を対象とするエッチングに向いている、第二に、ハードマスクに対する被エッチング部材のエッチング選択比を大きくできる場合が多いため、ハードマスク自体の厚さを比較的に薄くすることができる、という大きな利点を有する。

【0058】

そこで、ここでは、後者のハードマスクを用いる場合の例について説明する。但し、本発明の例に関しては、上記2つの方法のいずれを適用しても構わない。

【0059】

まず、図8に示すように、例えば、プラズマCVD法を用いて、上部電極21上に、ハードマスクとなる絶縁層（例えば、酸化シリコン）22を形成する。

【0060】

次に、図9に示すように、PEP（Photo Engraving Process）を行い、フォトマスク（レジストパターン）31を形成する。このフォトマスク31をマスクにして、RIEにより、絶縁層22をエッチングし、フォトマスク31のパターンを絶縁層22に転写する。その結果、絶縁層22からなるハードマスクが形成される。この後、アッシングにより、フォトマスク31は、除去される。

【0061】

次に、図10に示すように、絶縁層22からなるハードマスクをマスクにして、RIEを行い、上部電極21及び強誘電体20をエッチングする。その結果、強誘電体20及び上部電極21のパターンが完成する。

【0062】

ここで、ハードマスクとしての絶縁層22は、RIEにより、多少、エッチングされるため、RIE前の状態に比べて、RIE後の状態では、その厚さが薄くなっている。また、ハードマスクとしての絶縁層22は、RIEが終了した後に除去してもよいが、本例では、プロセスの簡略化のため、そのまま残しておく。

【0063】

この後、図11に示すように、例えば、スパッタ法を用いて、高誘電体（例えば、SiN、TaO₂、TiO₂、Al₂O₃、ZrO₂、HfO₂、BST、PZT、SBTなど）30を、下部電極19、上部電極21及び強誘電体20を完全に覆うように、形成する。

【0064】

なお、高誘電体30の形成に関しては、スパッタ法に代えて、例えば、CVD法を用いてもよい。

【0065】

ここで、高誘電体30の厚さ又は堆積量について検討する。

【0066】

セルキャパシタの端部においては、電気力線の一部は、一方の電極から、高誘電体30を経由して、他方の電極まで延びている。つまり、高誘電体30の厚さが薄過ぎると、電気力線の一部は、高誘電体30を通過し、その外に存在する低い比誘電率を持つ絶縁層（例えば、酸化シリコン）にまで拡がってしまう。

【0067】

これでは、セルキャパシタの端部における電界緩和を十分に抑制できなくなり、静電エネルギーのロスが発生する。

【0068】

しかし、高誘電体30の厚さは、事実上、無制限に厚くすることはできない。

【0069】

なぜなら、第一に、セルキャパシタの周囲には、例えば、図4に示すように、様々な配線、例えば、ゲート電極14、配線28、29などが存在する。つまり、高誘電体30は、あくまで層間絶縁層であり、このような高い比誘電率を有する層間絶縁層の量が多くなると、これら配線間の寄生容量が大きくなり、FeRAMの動作に悪影響を与えるためである。

【0070】

第二に、高誘電体30の厚さが厚くなるに従い、高誘電体30がセルキャパシタに与えるメカニカルストレスも大きくなる。つまり、このメカニカルストレスにより、膜剥がれや、セルキャパシタがデータ記憶素子として機能しなくなる、などの問題が発生するためである。

【0071】

従って、高誘電体30の厚さ又は堆積量は、寄生容量及びメカニカルストレスの問題な

しに、電気力線の拡がりによる静電エネルギーのロスを抑制できる値に設定される。この値は、強誘電体20の厚さ、即ち、下部電極19から上部電極21までの距離にほぼ等しいことが実験により確認されている。

【0072】

ところで、ここで言う「高誘電体30の厚さ」とは、セルキャパシタによる電気力線に影響を与える部分の厚さのことである。つまり、「高誘電体30の厚さ」とは、具体的には、セルキャパシタを構成する下部電極19、強誘電体20及び上部電極21の側壁部分における高誘電体30のシリコン基板11に平行な方向の厚さtのことである。

【0073】

なお、高誘電体30が強誘電体20に直接接触すると、強誘電体20の特性が劣化する場合がある。このような場合には、例えば、図26に示すように、強誘電体20と高誘電体30との間に、これらの反応を防ぐためのバリア層32を配置すればよい。

【0074】

次に、下部電極19のパターニングを行う。この時、同時に、高誘電体30のパターニングも行い、余分な高誘電体30を除去する。

【0075】

ここで、下部電極19のパターニングに関しては、強誘電体20及び上部電極21のパターニングのときと同様に、フォトマスクそのものをマスク材に使用する方法と、フォトマスクのパターンをSiO₂ などからなるハードマスクに転写し、このハードマスクをマスク材に使用する方法との2つが存在する。

【0076】

下部電極19のパターニングについても、強誘電体20及び上部電極21のパターニングと同様に、高温下におけるRIEを想定しているため、ここでは、後者のハードマスクを用いる場合の例について説明する。

【0077】

但し、本発明の例に関しては、強誘電体20及び上部電極21のパターニングと同様に、前者のフォトマスクを用いる方法を適用してもよい。

【0078】

まず、図12に示すように、例えば、プラズマCVD法を用いて、高誘電体30上に、ハードマスクとなる絶縁層（例えば、酸化シリコン）23を形成する。

【0079】

この後、PEPを行い、フォトマスク（レジストパターン）33を形成する。このフォトマスク33をマスクにして、RIEにより、絶縁層23をエッチングし、フォトマスク33のパターンを絶縁層23に転写する。その結果、絶縁層23からなるハードマスクが形成される。この後、アッシングにより、フォトマスク33は、除去される。

【0080】

次に、図13に示すように、絶縁層23からなるハードマスクをマスクにして、RIEを行い、高誘電体30及び下部電極19をエッチングする。その結果、下部電極19及び高誘電体30のパターンが完成する。

【0081】

ここで、ハードマスクとしての絶縁層23は、RIEにより、多少、エッチングされるため、RIE前の状態に比べて、RIE後の状態では、その厚さが薄くなっている。また、ハードマスクとしての絶縁層23は、RIEが終了した後に除去してもよいが、本例では、プロセスの簡略化のため、そのまま残しておく。

【0082】

RIEによる下部電極19及び高誘電体30のエッチング時には、オーバーエッチにより、下地となる絶縁層（例えば、酸化シリコン）15が、多少、エッチングされる。

【0083】

次に、図14に示すように、例えば、LPCVD法により、絶縁層15、23上に、絶縁層（例えば、酸化シリコン）24を形成する。また、CMPを行い、絶縁層24の表面

を平坦化する。

【0084】

この後、PEP及びRIEにより、コンタクトホールを形成する。ここで、セルトランジスタのソース／ドレイン領域12に達するコンタクトホールに関しては、同一材料から構成される絶縁層（例えば、酸化シリコン）15、24に対するエッチングを行えばよい。

【0085】

しかし、上部電極21に達するコンタクトホールに関しては、絶縁層（例えば、酸化シリコン）23、24をエッチングした後に、高誘電体30をエッチングし、さらに、この後、絶縁層（例えば、酸化シリコン）22をエッチングする必要がある。

【0086】

また、下部電極19に達するコンタクトホールに関しては、絶縁層（例えば、酸化シリコン）23、24をエッチングした後に、高誘電体30をエッチングする必要がある。

【0087】

つまり、この実施の形態に関わるデバイス構造の場合、コンタクトホールを形成するときに、エッチングガスを、例えば、酸化シリコン（ SiO_2 ）対応 → 高誘電体対応 → 酸化シリコン（ SiO_2 ）対応 と、順次、切り換えなければならず、プロセスが、多少、複雑になる。この問題に関しては、後の実施の形態で解決する。

【0088】

最後に、コンタクトホール内に、コンタクトプラグ16、25、26を形成し、さらに、コンタクトプラグ16、25、26上に、配線28、29を形成すると、図4に示すようなFeRAMのメモリセルが完成する。

【0089】

(2) 第2実施の形態

第2実施の形態に関わるFeRAMのメモリセルは、上述した第1実施の形態のそれと比べると、セルキャパシタの周囲を覆う高誘電体の形状に特徴を有する。

【0090】

即ち、上述の第1実施の形態では、高誘電体がセルキャパシタの周囲の比較的広い範囲に形成されていたため、例えば、第一に、寄生容量が増える、第二に、セルキャパシタの下部／上部電極に対するコンタクトホールを形成するときに、エッチングガスの切り換えが必要となり、プロセスが、多少、複雑になる、などの問題があった。

【0091】

第2実施の形態では、本発明の例に関わるキャパシタの特徴である高誘電体を、必要最小限の範囲に形成し、このような寄生容量やプロセス上の問題を解決する。

【0092】

[A] 構造

図15は、本発明の第2実施の形態に関わるFeRAMのメモリセルを示している。

【0093】

このメモリセルは、第1実施の形態のそれと同様に、セルキャパシタの下部電極に対するコンタクトをセルキャパシタの上部からとるオフセット型セル構造を有する。

【0094】

シリコン基板11上には、セルトランジスタが形成される。セルトランジスタは、ソース／ドレイン領域12、ゲート絶縁層13及びゲート電極14を有している。セルトランジスタは、絶縁層（例えば、酸化シリコン）15により覆われる。

【0095】

絶縁層15上には、セルキャパシタの下部電極（例えば、Pt）19が形成される。下部電極19は、例えば、図16に示すように、その上部から見た場合に、四角形を有している。ここで、四角形のエッジ部分は、丸みを帯びていても構わない。

【0096】

下部電極19上には、強誘電体（例えば、PZT、SBTなど）20が形成される。強

誘電体 20 上には、上部電極（例えば、Pt）21 が形成される。

【0097】

上部電極 21 は、例えば、図 16 に示すように、その上部から見た場合に、四角形を有している。ここで、四角形のエッジ部分は、丸みを帯びていても構わない。上部電極 21 は、下部電極 19 よりも小さい。

【0098】

上部電極 21 上には、強誘電体 20 及び上部電極 21 をパターンニングするときのマスクとして機能する絶縁層（例えば、酸化シリコン）22 が形成される。

【0099】

ここで、本発明の例では、下部電極 19 と上部電極 21 との間に配置される強誘電体 20 の側壁部を完全に覆うように、高誘電体（例えば、SiN、TaO₂、TiO₂、Al₂O₃、ZrO₂、HfO₂、BST、PZT、SBT など）30 が形成される。

【0100】

高誘電体 30 は、その周囲を取り囲む後述する絶縁層（例えば、酸化シリコン）23、24 の比誘電率よりも高い比誘電率を有する材料から構成される。

【0101】

本例では、高誘電体 30 は、セルキャパシタを構成する強誘電体 20 の側壁部のみを覆うように形成される。具体的には、高誘電体 30 は、いわゆる側壁絶縁層（サイドウォール）として、強誘電体 20 の側壁部に形成される。高誘電体 30 の平面パターンとしては、例えば、図 16 に示すようになる。

【0102】

高誘電体 30 の厚さ、即ち、シリコン基板 11 の表面に平行な方向の厚さは、強誘電体 20 の厚さと同じ程度にするのがよい。

【0103】

高誘電体 30 上には、絶縁層（例えば、酸化シリコン）23 が形成される。絶縁層 23 は、下部電極 19 をパターンニングするときのマスクとして機能する。

【0104】

絶縁層 23 上には、絶縁層（例えば、酸化シリコン）24 が形成される。絶縁層 22、23、24 には、上部電極 21 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 25 が形成される。コンタクトプラグ 25 上には、配線 28 が形成される。

【0105】

また、絶縁層 23、24 には、下部電極 19 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 26 が形成される。同様に、絶縁層 15、24 には、セルトランジスタのソース／ドレイン領域 12 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 16 が形成される。コンタクトプラグ 16、26 上には、配線 29 が形成される。

【0106】

ここで、本例においては、これらコンタクトホールの全ては、高誘電体 30 を通過していない。つまり、後述するように、これらコンタクトホールを形成するときのエッチングガスを切り換える必要がない。

【0107】

また、本例においては、例えば、セルフアラインコンタクト（SAC）技術を用いて、1 回のエッチングにより、これら全てのコンタクトホールを同時に形成できる。

【0108】

例えば、図 27 に示すように、下部電極 19 及び上部電極 21 に対するコンタクトホールの位置がずれても、絶縁層（例えば、酸化シリコン）23 と高誘電体 30 とのエッチングレートの違いを利用して、SAC により、下部電極 19 及び上部電極 21 に対するコンタクトホールを形成できる。

【0109】

このような構造によれば、第1実施の形態と同様に、FeRAMのメモリセルを構成するセルキャパシタの端部が、酸化シリコン (SiO_2) などの層間絶縁層の比誘電率よりも高い比誘電率を有する高誘電体により覆われている。

【0110】

従って、セルキャパシタの端部における電界緩和を解消でき、セルキャパシタの端部においても強誘電体20を効率よく分極させることができる。また、キャパシタをデータ記憶素子として用いる半導体メモリのS/N比を向上させることができる。

【0111】

さらに、第2実施の形態では、高誘電体30は、必要最小限のスペースに配置されるため、寄生容量の増大や、コンタクトホール形成時におけるプロセスの複雑化などの問題を生じさせることなく、上述の効果を達成することが可能となる。

【0112】

なお、第2実施の形態では、第1実施の形態とは異なり、高誘電体30を強誘電体20の側壁部に形成している。

【0113】

従って、セルキャパシタの側面は、シリコン基板11の表面に対して垂直又はそれに近い形にする必要がある。第2実施の形態において、例えば、図1に示すようなテーパを有するキャパシタ構造を採用することは、好ましくない。

【0114】

[B] 製造方法

次に、図15に示すFeRAMの製造方法の例について簡単に説明する。

【0115】

図15に示すFeRAMの製造方法の大部分は、図4に示すFeRAMの製造方法（図8～図14）と同じである。

【0116】

図15に示すFeRAMの製造方法が図4に示すFeRAMの製造方法と異なる点は、高誘電体30の形成方法とコンタクトホールの形成方法の2つである。

【0117】

まず、図15を参照しながら、高誘電体30の形成方法について説明する。

【0118】

絶縁層（例えば、酸化シリコン）22をハードマスクとして、RIEにより、上部電極21及び強誘電体20をエッチングした後、スパッタ法又はCVD法を用いて、シリコン基板11上の全面に、高誘電体30を堆積する。

【0119】

全面エッチバックにより、高誘電体30をエッチングし、この高誘電体30を強誘電体20の側壁部のみに残存させる。ここで、高誘電体30とその下地となる下部電極19とのエッチング選択比については、十分に大きくする必要がある。

【0120】

但し、絶縁層22については、エッチングが終了した時点で、全て、消失してしまうような条件で、エッチングを行うようにしても構わない。

【0121】

次に、コンタクトホールの形成方法について説明する。

【0122】

図15に示すデバイス構造では、コンタクトホールを形成する領域に高誘電体30が存在しないため、RIEのためのエッチングガスを、エッチング中に変える必要がない。つまり、エッチングの対象となる絶縁層15, 22, 23, 24は、例えば、全て、酸化シリコンである。

【0123】

従って、例えば、PEPにより、フォトマスクを形成し、このフォトマスクをマスクに

して、R I Eにより、コンタクトプラグ16, 25, 26のためのコンタクトホールを形成する。これらコンタクトホールは、全てを同時に形成してもよいし、また、別々に形成してもよい。

【0124】

(3) 第3実施の形態

第3実施の形態に関わるF e R A Mのメモリセルは、上述した第1実施の形態のそれと比べると、セルキャパシタの周囲を覆う高誘電体の形状に特徴を有する。

【0125】

即ち、図4に示す第1実施の形態の構造では、下部電極のパターニングを行うに当たって、絶縁層23からなるハードマスクを形成し、このハードマスクをマスクにして、R I Eにより、高誘電体及び下部電極をエッチングしている。

【0126】

しかし、この場合、絶縁層23からなるハードマスクを形成する分だけ、プロセスが複雑化する、という問題が生じる。

【0127】

そこで、第3実施の形態では、図4における絶縁層23を省略し、かつ、高誘電体自体をハードマスクとして用い、このハードマスクを用いて、R I Eにより、下部電極をエッチングすることにより、プロセスの簡略化を図る。

【0128】

[A] 構造

図17は、本発明の第3実施の形態に関わるF e R A Mのメモリセルを示している。

【0129】

このメモリセルは、第1実施の形態のそれと同様に、セルキャパシタの下部電極に対するコンタクトをセルキャパシタの上部からとるオフセット型セル構造を有する。

【0130】

シリコン基板11上には、セルトランジスタが形成される。セルトランジスタは、ソース/ドレイン領域12、ゲート絶縁層13及びゲート電極14を有している。セルトランジスタは、絶縁層(例えば、酸化シリコン)15により覆われる。

【0131】

絶縁層15上には、セルキャパシタの下部電極(例えば、P t)19が形成される。下部電極19は、例えば、その上部から見た場合に、四角形を有している。ここで、四角形のエッジ部分は、丸みを帯びていても構わない。

【0132】

下部電極19上には、強誘電体(例えば、P Z T, S B Tなど)20が形成される。強誘電体20上には、上部電極(例えば、P t)21が形成される。

【0133】

上部電極21は、例えば、その上部から見た場合に、四角形を有している。ここで、四角形のエッジ部分は、丸みを帯びていても構わない。上部電極21は、下部電極19よりも小さい。

【0134】

上部電極21上には、強誘電体20及び上部電極21をパターニングするときのマスクとして機能する絶縁層(例えば、酸化シリコン)22が形成される。

【0135】

ここで、本発明の例では、セルキャパシタの全体を取り囲むように、高誘電体(例えば、S i N、T a O₂、T i O₂、A l₂ O₃、Z r O₂、H f O₂、B S T、P Z T、S B Tなど)30が形成される。

【0136】

高誘電体30は、その周囲に配置される後述する絶縁層(例えば、酸化シリコン)24の比誘電率よりも高い比誘電率を有する材料から構成される。

【0137】

本例では、高誘電体 30 は、下部電極 19 をパターンニングするときのハードマスクとしても機能する。即ち、図 17 における高誘電体 30 は、図 4 における高誘電体 30 と絶縁層 23 とをまとめて、一つの高誘電体 30 にしたものと考えることができる。

【0138】

高誘電体 30 の上面は、絶縁層 22 の上面よりも上部に存在していてもよいし、また、破線で示すように、高誘電体 30 の上面は、絶縁層 22 の上面とほぼ一致又は絶縁層 22 の上面よりも下部に存在していてもよい。

【0139】

このような高誘電体 30 の上面と絶縁層 22 の上面との位置関係は、高誘電体 30 の堆積直後の厚さによって決まる。

【0140】

仮に、高誘電体 30 の上面を、絶縁層 22 の上面とほぼ同じにするか、又は、絶縁層 22 の上面よりも下部に配置されるようにすると、上部電極 21 に対するコンタクトホール形成に際して、高誘電体 30 をエッチングする必要がなくなるため、プロセスが簡略化される。

【0141】

高誘電体 30 上には、絶縁層（例えば、酸化シリコン）24 が形成される。絶縁層 22、24（及び高誘電体 30）には、上部電極 21 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 25 が形成される。コンタクトプラグ 25 上には、配線 28 が形成される。

【0142】

また、絶縁層 24 及び高誘電体 30 には、下部電極 19 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 26 が形成される。同様に、絶縁層 15、24 には、セルトランジスタのソース／ドレイン領域 12 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 16 が形成される。コンタクトプラグ 16、26 上には、配線 29 が形成される。

【0143】

このような構造によれば、第 1 実施の形態と同様に、FeRAM のメモリセルを構成するセルキャパシタの端部が、酸化シリコン（ SiO_2 ）などの層間絶縁層の比誘電率よりも高い比誘電率を有する高誘電体により覆われている。

【0144】

従って、セルキャパシタの端部における電界緩和を解消でき、セルキャパシタの端部においても強誘電体 20 を効率よく分極させることができる。また、キャパシタをデータ記憶素子として用いる半導体メモリの S/N 比を向上させることができる。

【0145】

さらに、第 3 実施の形態では、高誘電体 30 を、下部電極 19 をパターンニングする際のハードマスクとして用いているため、プロセスの簡略化に貢献できる。

【0146】

なお、第 3 実施の形態では、第 1 実施の形態と同様に、例えば、セルキャパシタの側面を、図 1 のキャパシタのように、テーパ状にしてもよい。

【0147】

[B] 製造方法

次に、図 17 に示す FeRAM の製造方法の例について簡単に説明する。

【0148】

図 17 に示す FeRAM の製造方法の大部分は、図 4 に示す FeRAM の製造方法（図 8～図 14）と同じである。

【0149】

図 17 に示す FeRAM の製造方法が図 4 に示す FeRAM の製造方法と異なる点は、高誘電体 30 の形成方法、下部電極 19 のパターンニング方法、及び、コンタクトホールの形成方法の 3 つである。

【0150】

まず、図17を参照しながら、高誘電体30の形成方法について説明する。

【0151】

絶縁層（例えば、酸化シリコン）22をハードマスクとして、RIEにより、上部電極21及び強誘電体20をエッチングした後、スパッタ法又はCVD法を用いて、シリコン基板11上の全面に、高誘電体30を堆積する。

【0152】

PEPにより、フォトマスク（レジストパターン）を形成し、このフォトマスクをマスクにして、RIEにより、高誘電体30をエッチングする。この時、高誘電体30は、室温においてエッチングしなければならないため、エッチングガスとしては、高誘電体30のエッチングに最適なものを使用する。

【0153】

この後、アッシングにより、フォトマスクを除去する。

以上により、ハードマスクとしての高誘電体30が形成される。

【0154】

次に、下部電極19のパターニング方法について説明する。

【0155】

ハードマスクとしての高誘電体30を形成した後、このハードマスクをマスクにして、RIEにより、下部電極19をエッチングする。

【0156】

ここで、高誘電体30の堆積時の厚さを制御することにより、例えば、RIEの終了後に、高誘電体30の上面を絶縁層22の上面と同じにしたり、また、高誘電体30の上面を絶縁層22の上面よりも低くなるようにしたりすることができる。

【0157】

例えば、図17において、破線で示すように、高誘電体30の上面と絶縁層22の上面とがほぼ同じ位置となるように設定すれば、上部電極21に対するコンタクトホールを形成するとき、高誘電体30をエッチングする必要がなくなるため、エッチングガスの切り換えが不要となり、プロセスが簡略化される。

【0158】

次に、コンタクトホールの形成方法について説明する。

【0159】

例えば、PEPにより、フォトマスクを形成し、このフォトマスクをマスクにして、RIEにより、コンタクトプラグ16、25、26のためのコンタクトホールをそれぞれ形成する。これらコンタクトホールは、全てを同時に形成してもよいし、また、別々に形成してもよい。

【0160】

既に述べたように、例えば、高誘電体30の上面と絶縁層22の上面とがほぼ同じ位置となるように設定すれば、上部電極21に対するコンタクトホールを形成するとき、高誘電体30をエッチングする必要がなく、プロセスが簡略化される。

【0161】

(4) 第4実施の形態

上述の第1乃至第3実施の形態に関わるFeRAMのメモリセルは、セルキャパシタの下部電極に対するコンタクトをセルキャパシタの上部からとるオフセット型セル構造を有する。第4実施の形態では、セルキャパシタの下部電極に対するコンタクトをセルキャパシタの下部からとるCOP (Capacitor On Plug) 構造のメモリセルからなるFeRAMについて説明する。

【0162】

[A] 構造

図18は、本発明の第4実施の形態に関わるFeRAMのメモリセルを示している。

【0163】

シリコン基板 11 上には、セルトランジスタが形成される。セルトランジスタは、ソース／ドレイン領域 12、ゲート絶縁層 13 及びゲート電極 14 を有している。セルトランジスタは、絶縁層（例えば、酸化シリコン）15 により覆われる。

【0164】

絶縁層 15 には、ソース／ドレイン領域 12 に達するコンタクトホールが形成され、このコンタクトホール内には、コンタクトプラグ 16A が形成される。

【0165】

絶縁層 15 上には、コンタクトプラグ 16A にコンタクトするセルキャパシタの下部電極（例えば、Pt）19 が形成される。下部電極 19 は、例えば、図 19 に示すように、その上部から見た場合に、四角形を有している。ここで、四角形のエッジ部分は、丸みを帯びていても構わない。

【0166】

本例では、下部電極 19 は、2 つのメモリセルに共有される。

【0167】

下部電極 19 上には、強誘電体（例えば、PZT、SBT など）20 が形成される。強誘電体 20 上には、上部電極（例えば、Pt）21 が形成される。

【0168】

上部電極 21 は、例えば、図 19 に示すように、その上部から見た場合に、四角形を有している。ここで、四角形のエッジ部分は、丸みを帯びていても構わない。上部電極 21 は、下部電極 19 よりも小さい。

【0169】

上部電極 21 上には、強誘電体 20 及び上部電極 21 をパターンニングするときのマスクとして機能する絶縁層（例えば、酸化シリコン）22 が形成される。

【0170】

ここで、本発明の例では、下部電極 19 と上部電極 21 との間に配置される強誘電体 20 の側壁部を完全に覆うように、高誘電体（例えば、SiN、TaO₂、TiO₂、Al₂O₃、ZrO₂、HfO₂、BST、PZT、SBT など）30 が形成される。

【0171】

高誘電体 30 は、後述する絶縁層（例えば、酸化シリコン）24 の比誘電率よりも高い比誘電率を有する材料から構成される。

【0172】

本例では、例えば、図 19 に示すように、高誘電体 30 は、セルキャパシタの側面、即ち、強誘電体 20 及び上部電極 21 の側面を完全に覆っている。

【0173】

高誘電体 30 の厚さ、即ち、シリコン基板 11 の表面に平行な方向の厚さは、強誘電体 20 の厚さと同じ程度にするのがよい。高誘電体 30 は、下部電極 19 をパターンニングするときのハードマスクとしても機能する。

【0174】

セルキャパシタ上には、絶縁層（例えば、酸化シリコン）24 が形成される。絶縁層 22、24 には、上部電極 21 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 25 が形成される。コンタクトプラグ 25 上には、配線 28 が形成される。

【0175】

また、絶縁層 15、24 には、セルトランジスタのソース／ドレイン領域 12 に達するコンタクトホールが形成される。このコンタクトホール内には、コンタクトプラグ 16B が形成される。コンタクトプラグ 16B 上には、配線 29 が形成される。

【0176】

このような構造によれば、FeRAM のメモリセルを構成するセルキャパシタの端部が、酸化シリコン（SiO₂）などの層間絶縁層の比誘電率よりも高い比誘電率を有する

高誘電体により覆われている。

【0177】

この場合、セルキャパシタの端部における電気力線の横方向への拡がり、従来のセルキャパシタの端部における電気力線の横方向への拡がりよりも小さくなる。従って、本発明の例によれば、セルキャパシタの端部における電界緩和を解消でき、セルキャパシタの端部においても強誘電体20を効率よく分極させることができる。

【0178】

このように、本発明の例においても、電気力線の膨らみによる静電エネルギーの損失を小さくでき、これにより、キャパシタのキャパシタンスを向上させ、もって、キャパシタをデータ記憶素子として用いる半導体メモリのS/N比を向上させることができる。

【0179】

なお、セルキャパシタの側面は、シリコン基板11の表面に対して垂直又はほぼ垂直であるが、例えば、図1のキャパシタのように、セルキャパシタの側面をテーパ状にしてもよい。

【0180】

本実施の形態は、FeRAMを例にとって説明したが、メモリセルにキャパシタを使用する他の半導体メモリ、例えば、DRAMにも容易に適用可能である。この場合、セルキャパシタを構成する誘電体を、「強誘電体」から「高誘電体」に置き換えればよい。

【0181】

[B] 製造方法

次に、図18に示すFeRAMの製造方法の例について説明する。

【0182】

まず、図20に示すように、CMOS技術を用いて、シリコン基板11上に、ソース/ドレイン領域12、ゲート絶縁層13及びゲート電極14からなるセルトランジスタを形成する。ここでは、セルトランジスタの具体的な製造方法については、省略する。

【0183】

この後、例えば、LPCVD法を用いて、セルトランジスタを完全に覆う絶縁層（例えば、酸化シリコン）15を形成する。CMP（Chemical Mechanical Polishing）を用いて、絶縁層15の表面を平坦化する。

【0184】

また、例えば、PEP（Photo Engraving Process）及びRIEを行い、絶縁層15に、ソース/ドレイン領域12に達するコンタクトホールを形成する。例えば、LPCVD法により、このコンタクトホール内に導電層（例えば、導電性ポリシリコン）を満たし、かつ、コンタクトホールからはみ出した導電層を除去する。これにより、コンタクトプラグ16Aが形成される。

【0185】

この後、例えば、スパッタ法により、絶縁層18上に、下部電極（例えば、Pt、Ir、IrO₂ など）19を形成し、下部電極19上に、強誘電体（例えば、PZT、Sb₂T₂O₇ など）20を形成し、強誘電体20上に、上部電極（例えば、Pt、Ir、IrO₂ など）21を形成する。

【0186】

なお、強誘電体20の形成に関しては、スパッタ法に代えて、例えば、CVD法、ゾルゲル（Sol-gel）法や、CSD法などの方法を使用してもよい。

【0187】

この後、強誘電体20及び上部電極21を、例えば、RIEを用いてパターニングする。ここで、RIEによる部材のパターニング方法に関しては、上述の第1乃至第3実施の形態と同様に、フォトリソそのものをマスク材に使用する方法と、フォトリソのパターンをSiO₂ などからなるハードマスクに転写し、このハードマスクをマスク材に使用する方法とのいずれの方法も使用することができる。

【0188】

ここでは、後者のハードマスクを用いる場合の例について説明する。

【0189】

まず、図20に示すように、例えば、プラズマCVD法を用いて、上部電極21上に、ハードマスクとなる絶縁層（例えば、酸化シリコン）22を形成する。

【0190】

また、PEPを行い、フォトマスク（レジストパターン）31を形成する。このフォトマスク31をマスクにして、RIEにより、絶縁層22をエッチングし、フォトマスク31のパターンを絶縁層22に転写する。その結果、絶縁層22からなるハードマスクが形成される。この後、アッシングにより、フォトマスク31は、除去される。

【0191】

次に、図21に示すように、絶縁層22からなるハードマスクをマスクにして、RIEを行い、上部電極21及び強誘電体20をエッチングする。その結果、強誘電体20及び上部電極21のパターンが完成する。

【0192】

ここで、ハードマスクとしての絶縁層22は、RIEにより、多少、エッチングされるため、RIE前の状態に比べて、RIE後の状態では、その厚さが薄くなる。また、ハードマスクとしての絶縁層22は、RIEが終了した後に除去してもよいが、本例では、プロセスの簡略化のため、そのまま残しておく。

【0193】

この後、図22に示すように、例えば、スパッタ法を用いて、高誘電体（例えば、SiN、TaO₂、TiO₂、Al₂O₃、ZrO₂、HfO₂、BST、PZT、SBTなど）30を、下部電極19、上部電極21及び強誘電体20を完全に覆うように、形成する。

【0194】

なお、高誘電体30の形成に関しては、スパッタ法に代えて、例えば、CVD法を用いてもよい。

【0195】

また、高誘電体30が強誘電体20に直接接触すると、強誘電体20の特性が劣化する場合がある。このような場合には、例えば、図28に示すように、強誘電体20と高誘電体30との間に、これらの反応を防ぐためのバリア層32を配置すればよい。

【0196】

次に、下部電極19のパターニングを行う。

【0197】

ここで、下部電極19のパターニングに関しては、強誘電体20及び上部電極21のパターニングのときと同様に、フォトマスクそのものをマスク材に使用方法と、フォトマスクのパターンをハードマスクに転写し、このハードマスクをマスク材に使用方法とのいずれを適用することもできる。

【0198】

ここでは、後者のハードマスクを用いる場合の例について説明する。

【0199】

なお、ハードマスクとしては、別途、SiO₂などの絶縁層を用いてもよいが、プロセスの簡略化のため、本例では、高誘電体30自体をハードマスクとして用いる場合の例について説明する。

【0200】

まず、図22に示すように、PEPを行い、フォトマスク（レジストパターン）33を形成する。このフォトマスク33をマスクにして、RIEにより、高誘電体30をエッチングし、フォトマスク33のパターンを高誘電体30に転写する。その結果、高誘電体30のパターンが完成すると共に、高誘電体30からなるハードマスクが形成される。この後、アッシングにより、フォトマスク33は、除去される。

【0201】

次に、図23に示すように、高誘電体30からなるハードマスクをマスクにして、RIEを行い、下部電極19をエッチングする。その結果、下部電極19のパターンが完成する。

【0202】

ここで、ハードマスクとしての高誘電体30は、RIEにより、多少、エッチングされるため、RIE前の状態に比べて、RIE後の状態では、その厚さが薄くなる。

【0203】

この現象を利用して、例えば、RIE後に、高誘電体30の上面と絶縁層22の上面とがほぼ一致するようにするか、又は、高誘電体30の上面が絶縁層22の上面よりも下部になるようにすれば、上部電極21に対するコンタクトホール形成が容易になる。

【0204】

なお、図24に示すように、下部電極19のパターニングが終了した後は、オーバーエッチにより、下地となる絶縁層（例えば、酸化シリコン）15が、多少、エッチングされる。

【0205】

次に、図25に示すように、例えば、LPCVD法により、セルキャパシタ上に、絶縁層（例えば、酸化シリコン）24を形成する。また、CMPを行い、絶縁層24の表面を平坦化する。

【0206】

この後、PEP及びRIEにより、コンタクトホールを形成する。ここで、コンタクトプラグ16B、25のためのコンタクトホールに関しては、例えば、同一材料から構成される絶縁層15、22、24に対するエッチングを行えばよい。

【0207】

つまり、これら全てのコンタクトホールに関しては、絶縁層（例えば、酸化シリコン）15、22、24をエッチングすればよく、高誘電体30をエッチングする必要がないため、エッチングプロセスを簡略化できる。

【0208】

最後に、コンタクトホール内に、コンタクトプラグ16B、25を満たし、さらに、コンタクトプラグ16B、25上に、配線28、29を形成すると、図18に示すようなFeRAMのメモリセルが完成する。

【0209】

3. その他

上記各実施の形態における製造方法に関して、高誘電体、キャパシタ間誘電体及び層間絶縁層の堆積方法としては、特に限定されることはなく、例えば、スパッタ法、CVD法、CSD法（Sol-gel法を含む）など、様々な方法のなかから選択することができる。

【0210】

本発明の例は、上述の形態に限定されるものではなく、その要旨を逸脱しない範囲で、構成要素を変形して具体化できる。また、上述の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる形態の構成要素を適宜組み合わせてもよい。

【産業上の利用可能性】

【0211】

本発明の例に関わるキャパシタは、特に、キャパシタをデータ記憶素子として用いる半導体メモリに有効である。

【図面の簡単な説明】

【0212】

【図1】 本発明の例に関わるキャパシタ構造を示す図。

【図2】 キャパシタに生じる電気力線を示す図。

【図3】 電気力線の屈折の様子を示す図。

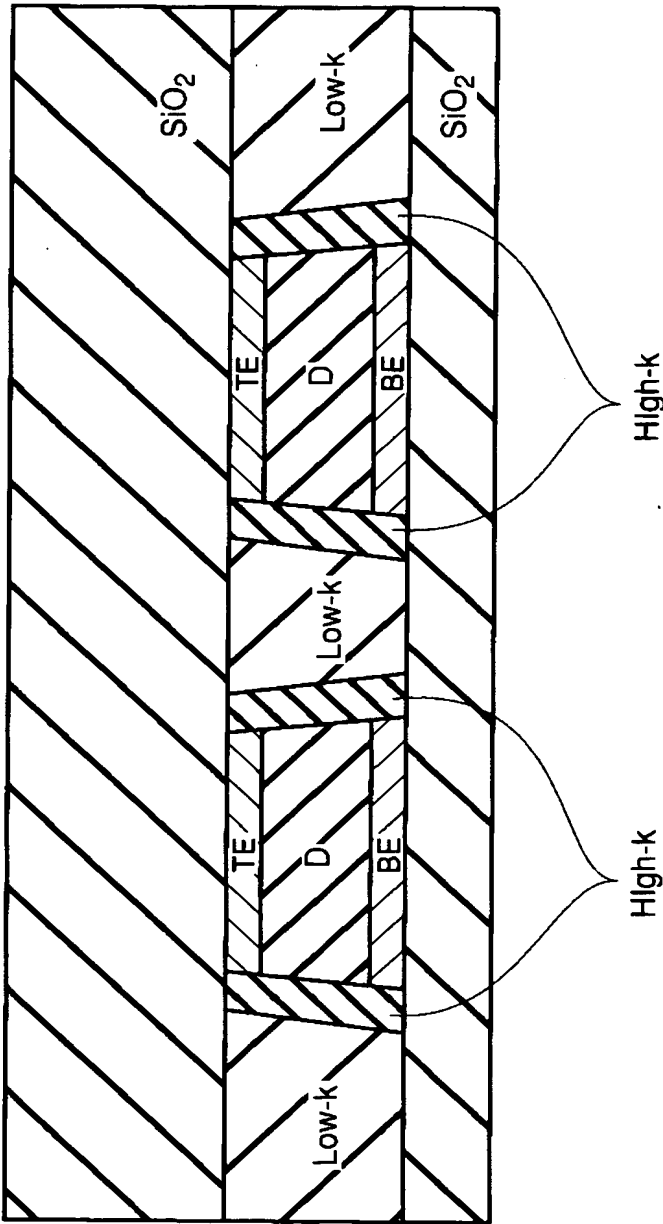
- 【図 4】本発明の第 1 実施の形態に関わる F e R A M のメモリセルを示す図。
【図 5】セルキャパシタの平面レイアウトを示す図。
【図 6】キャパシタに生じる電気力線を示す図。
【図 7】キャパシタに生じる電気力線を示す図。
【図 8】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 9】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 10】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 11】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 12】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 13】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 14】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 15】本発明の第 2 実施の形態に関わる F e R A M のメモリセルを示す図。
【図 16】セルキャパシタの平面レイアウトを示す図。
【図 17】本発明の第 3 実施の形態に関わる F e R A M のメモリセルを示す図。
【図 18】本発明の第 4 実施の形態に関わる F e R A M のメモリセルを示す図。
【図 19】セルキャパシタの平面レイアウトを示す図。
【図 20】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 21】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 22】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 23】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 24】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 25】本発明の例に関わるメモリセルの製造方法の一工程を示す図。
【図 26】図 4 のメモリセルの変形例を示す図。
【図 27】図 15 のメモリセルの変形例を示す図。
【図 28】図 18 のメモリセルの変形例を示す図。
【図 29】キャパシタに生じる電気力線を示す図。
【図 30】キャパシタに生じる電気力線を示す図。
【図 31】電気力線の屈折の様子を示す図。
【図 32】従来の F e R A M のメモリセルを示す図。

【符号の説明】

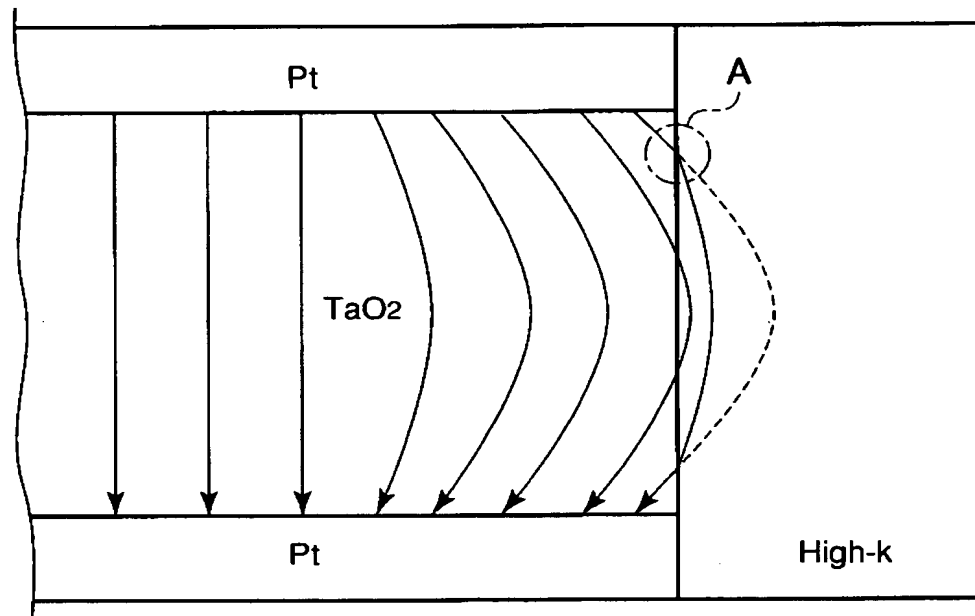
【0213】

11: シリコン基板、 12: ソース／ドレイン領域、 13: ゲート絶縁層、
14: ゲート電極、 15, 17, 18, 22, 23, 24: 絶縁層、 16, 1
6 A, 16 B, 25, 26, 27: コンタクトプラグ、 19: 下部電極、 20:
強誘電体、 21: 上部電極、 28, 29: 配線、 30: 高誘電体、 31
, 33: フォトマスク（レジストパターン）、 32: バリア層。

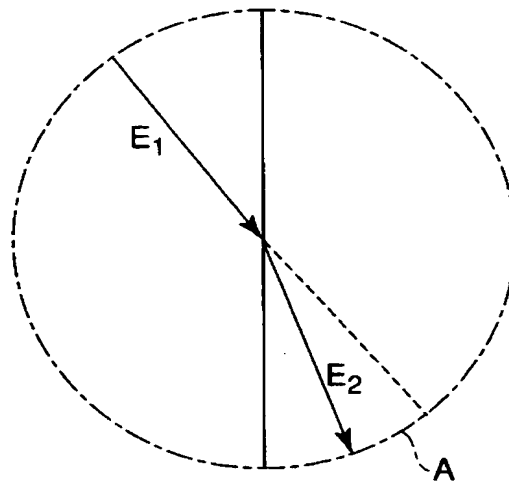
【書類名】 図面
【図 1】



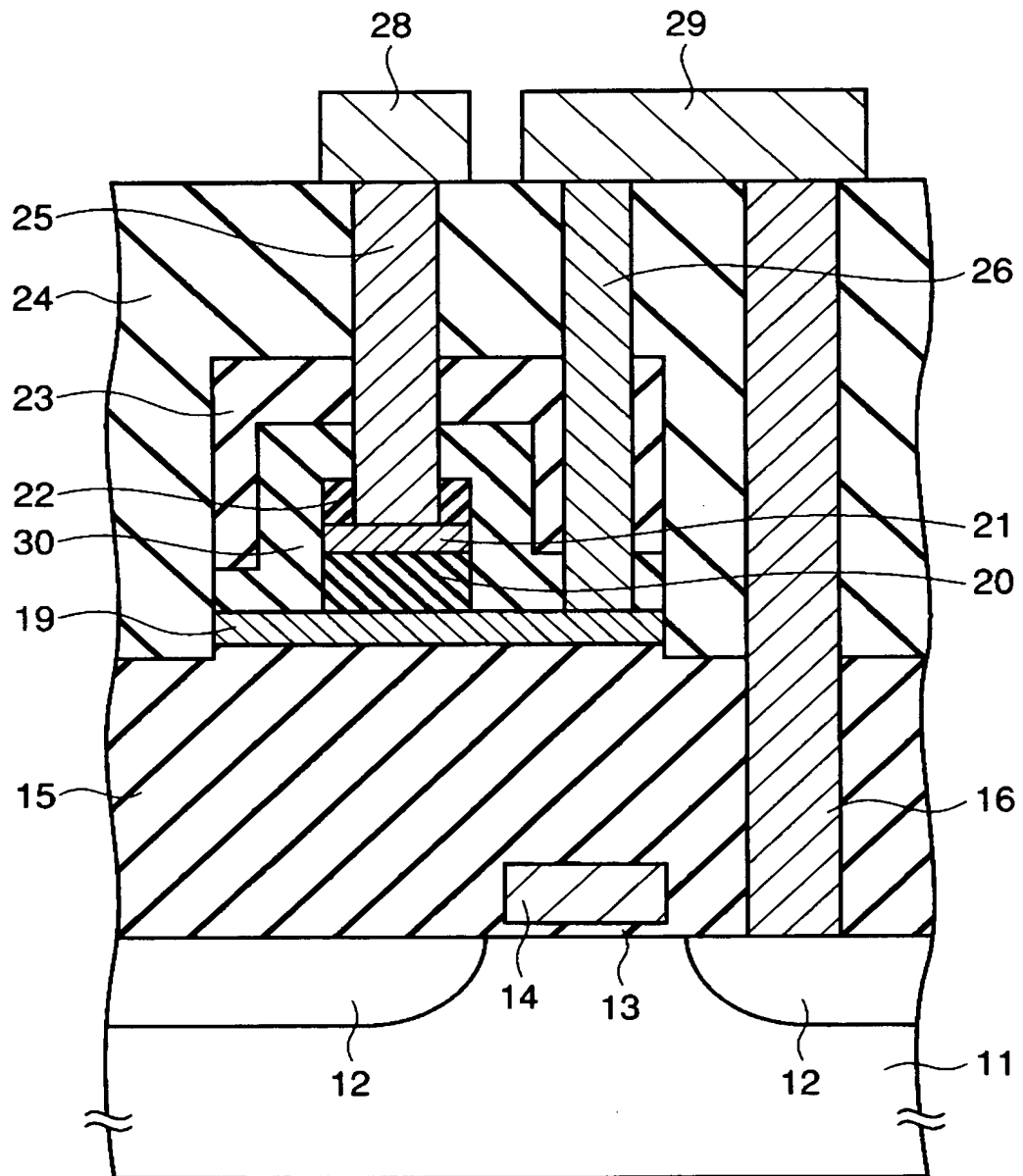
【図 2】



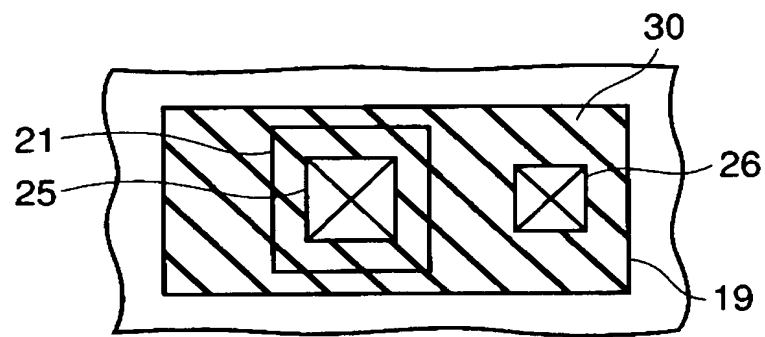
【図 3】



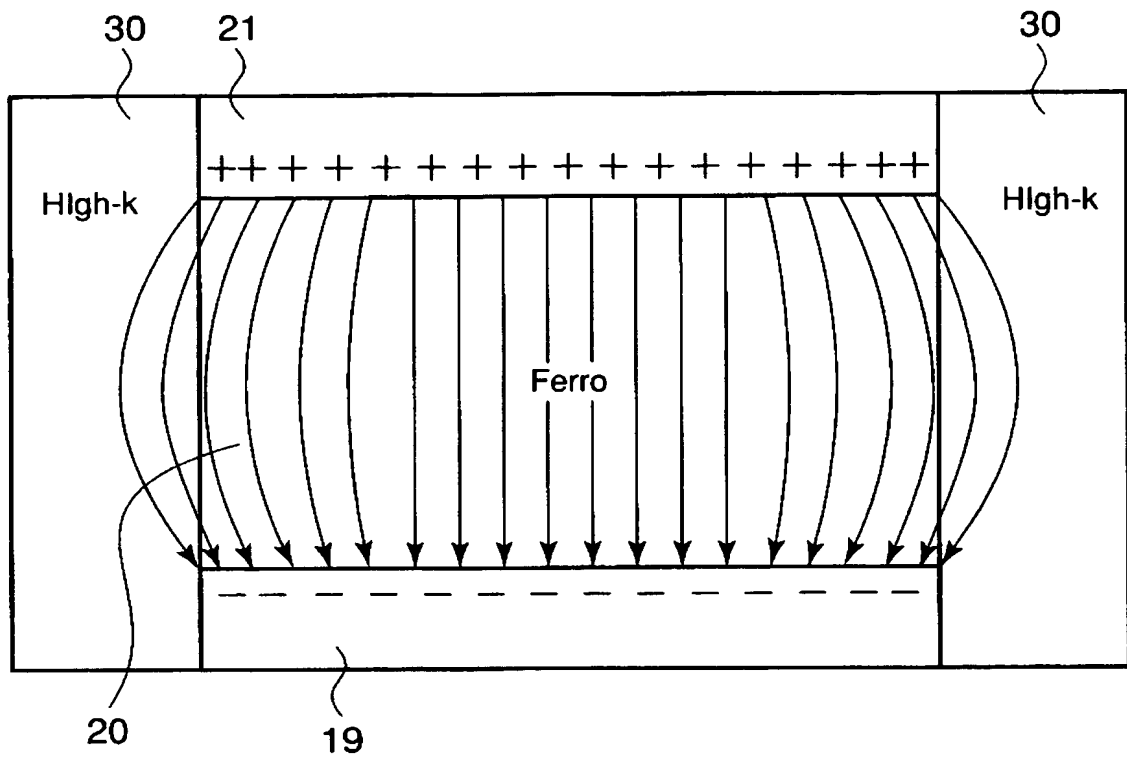
【図 4】



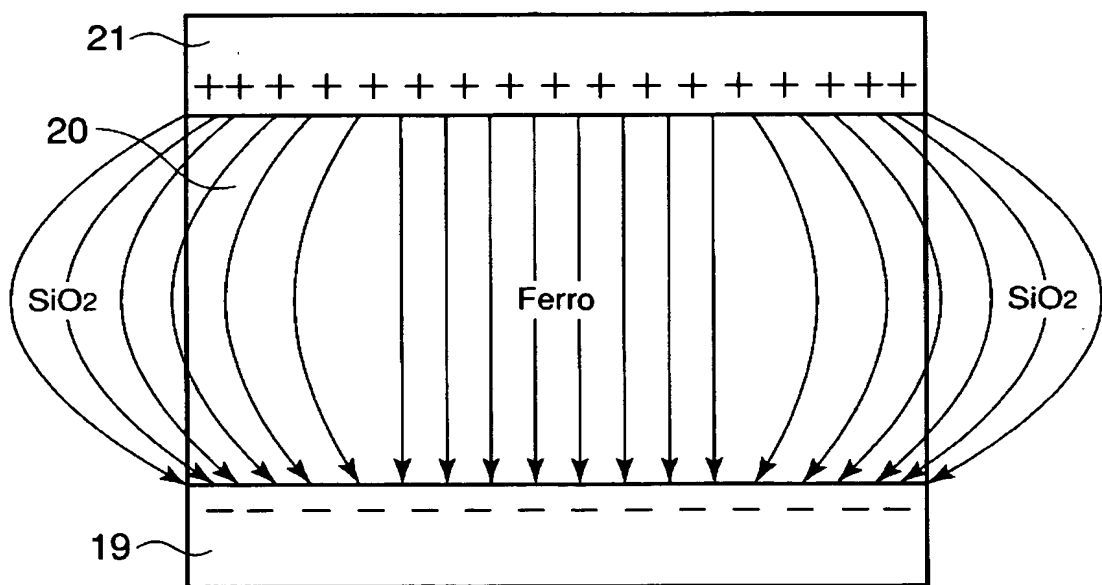
【図 5】



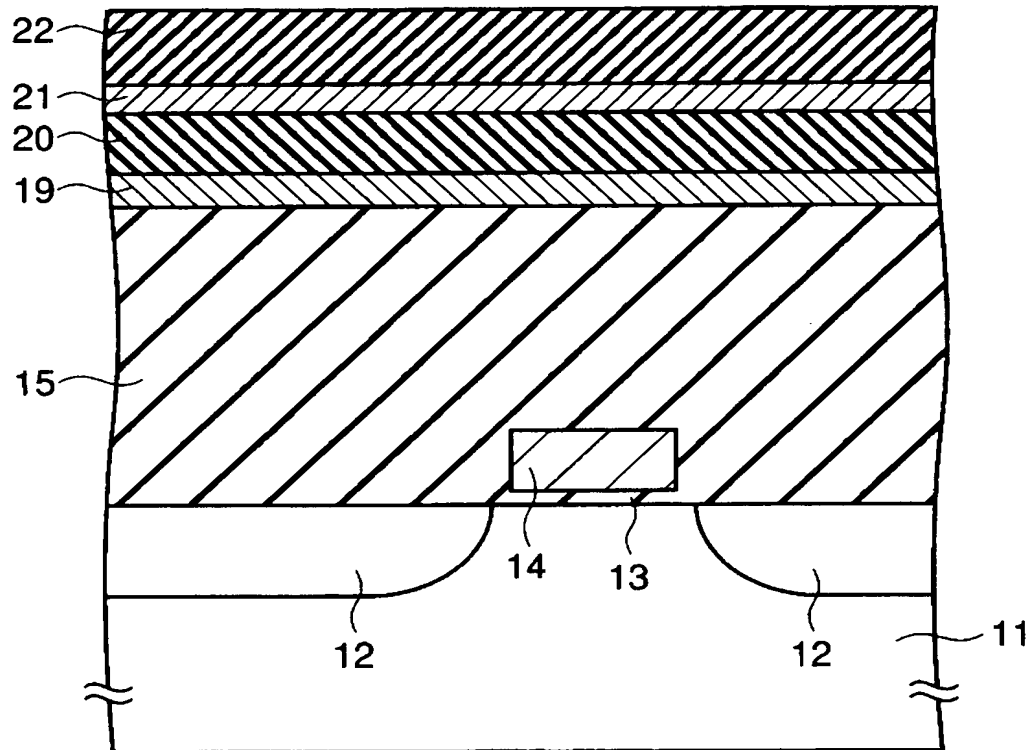
【図 6】



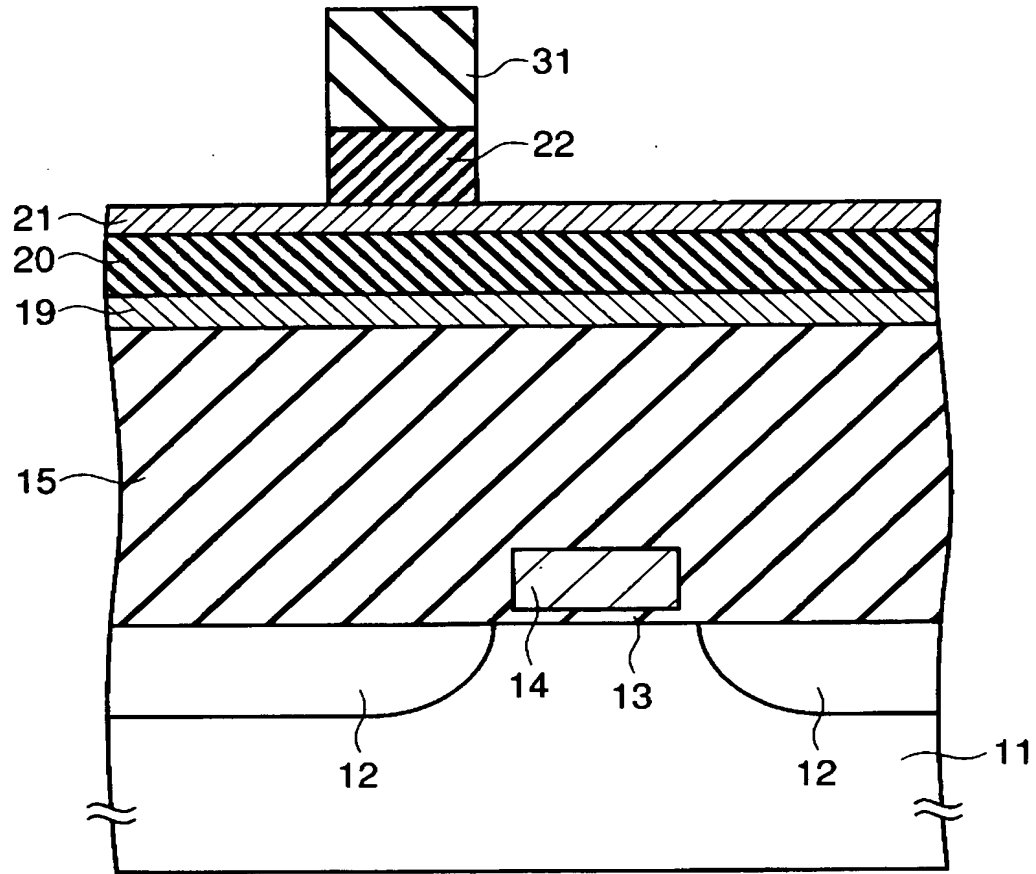
【図 7】



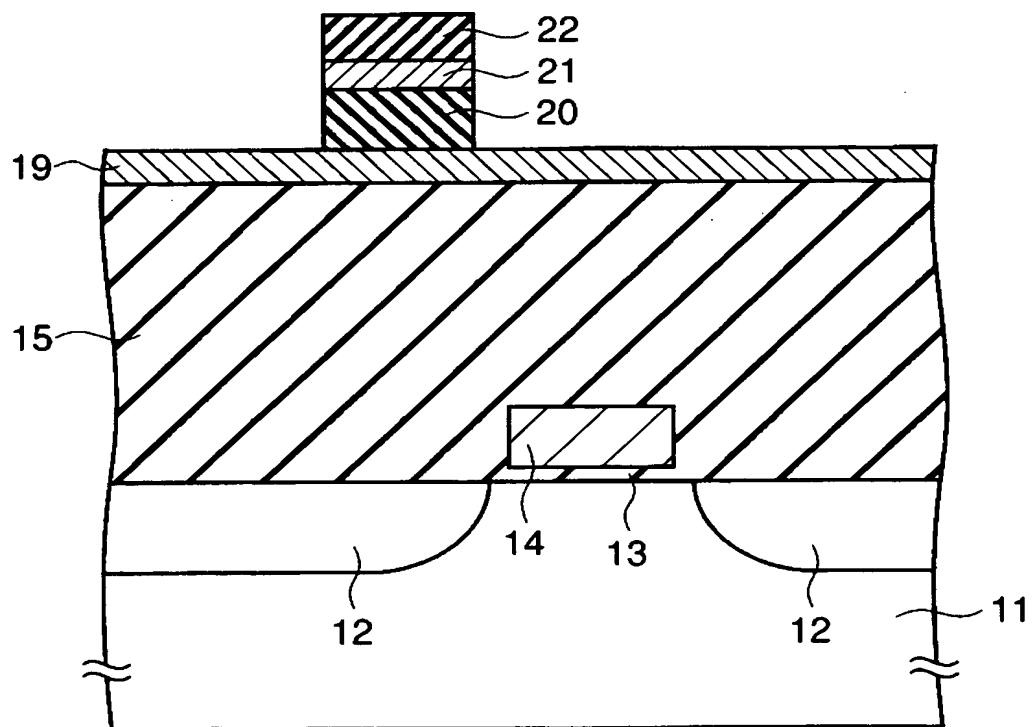
【図 8】



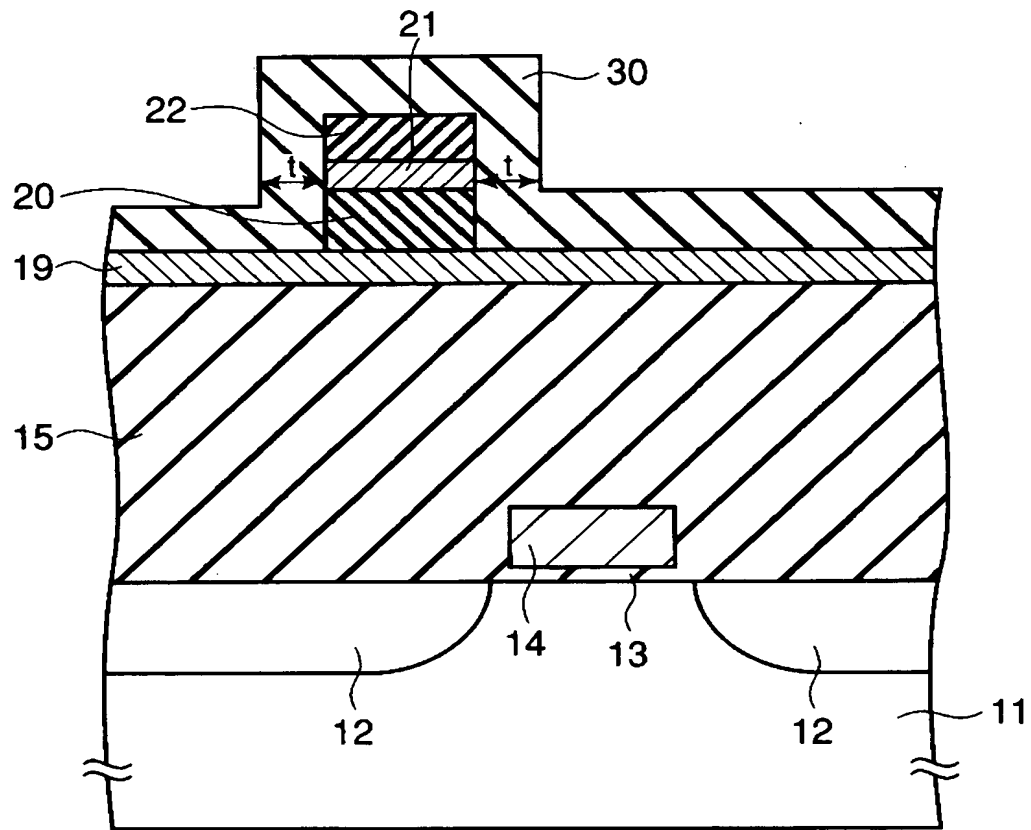
【図 9】



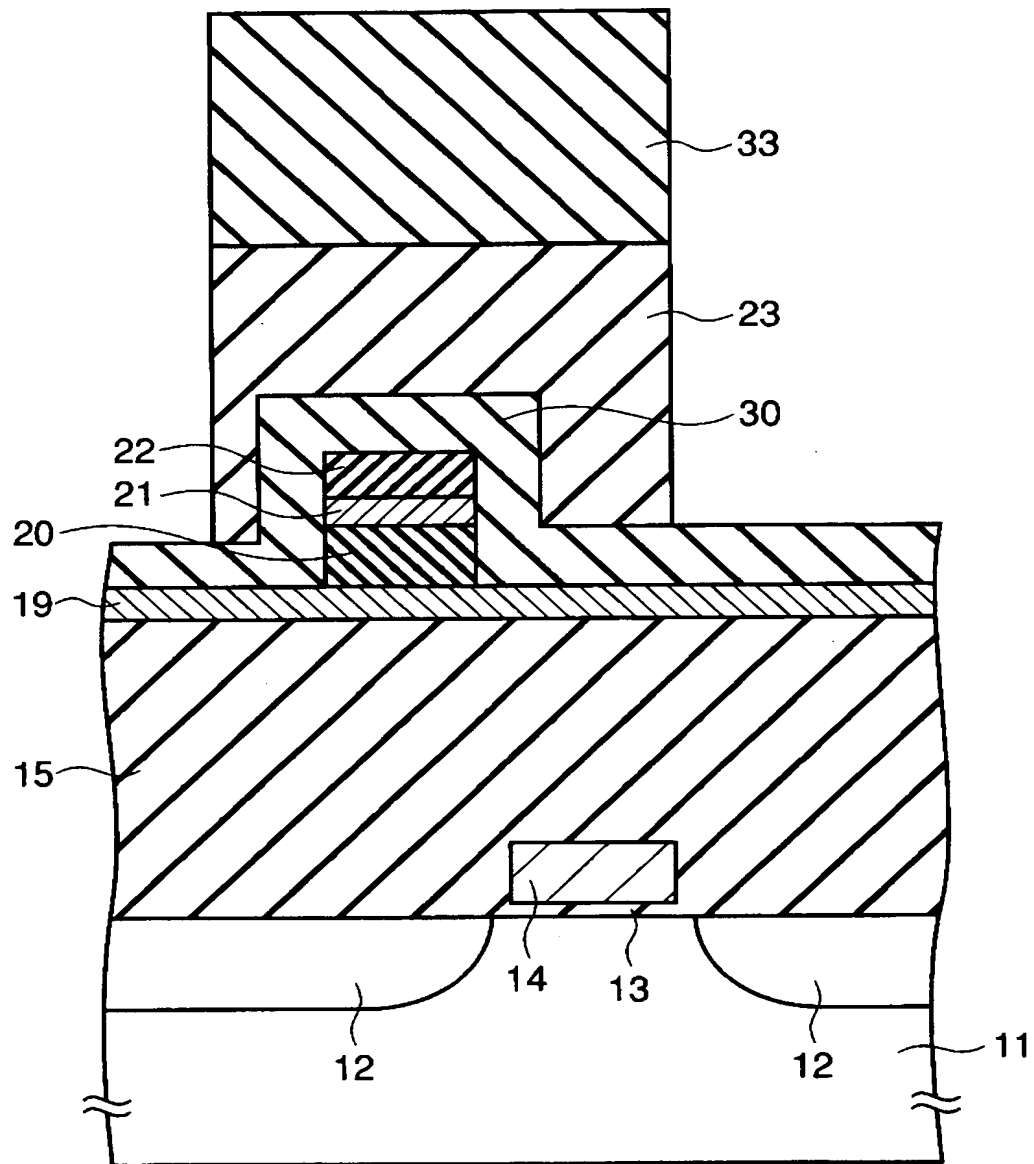
【図 10】



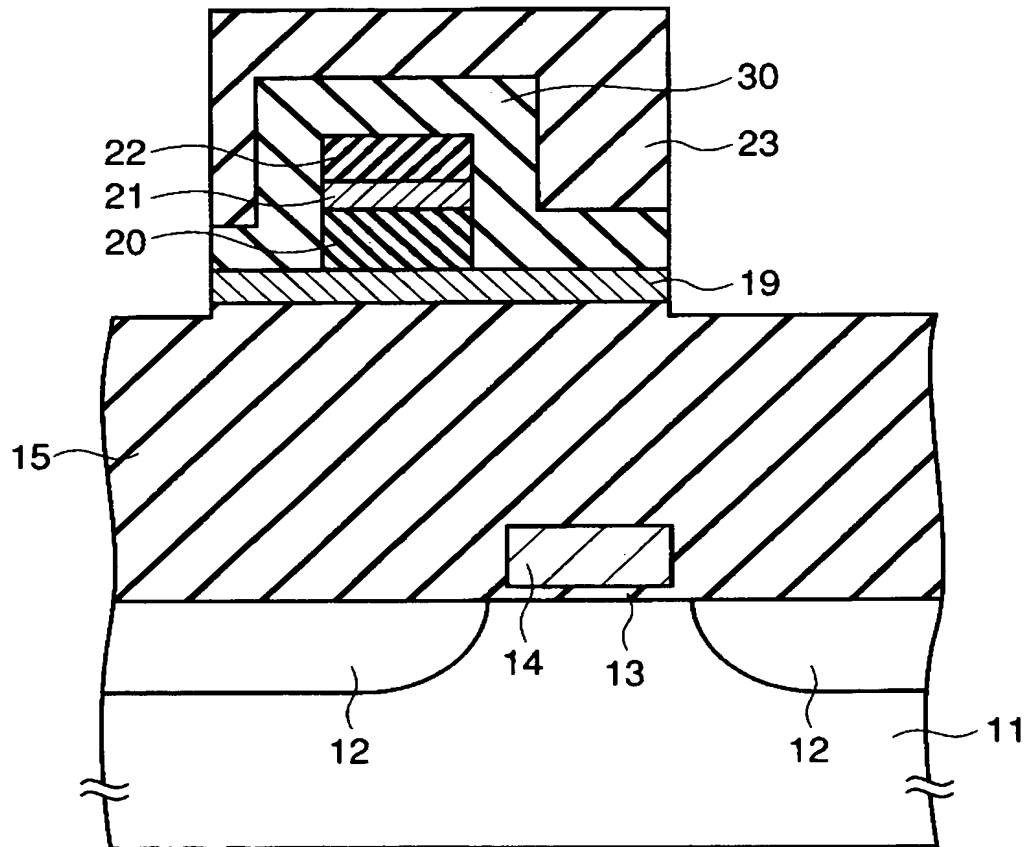
【図 11】



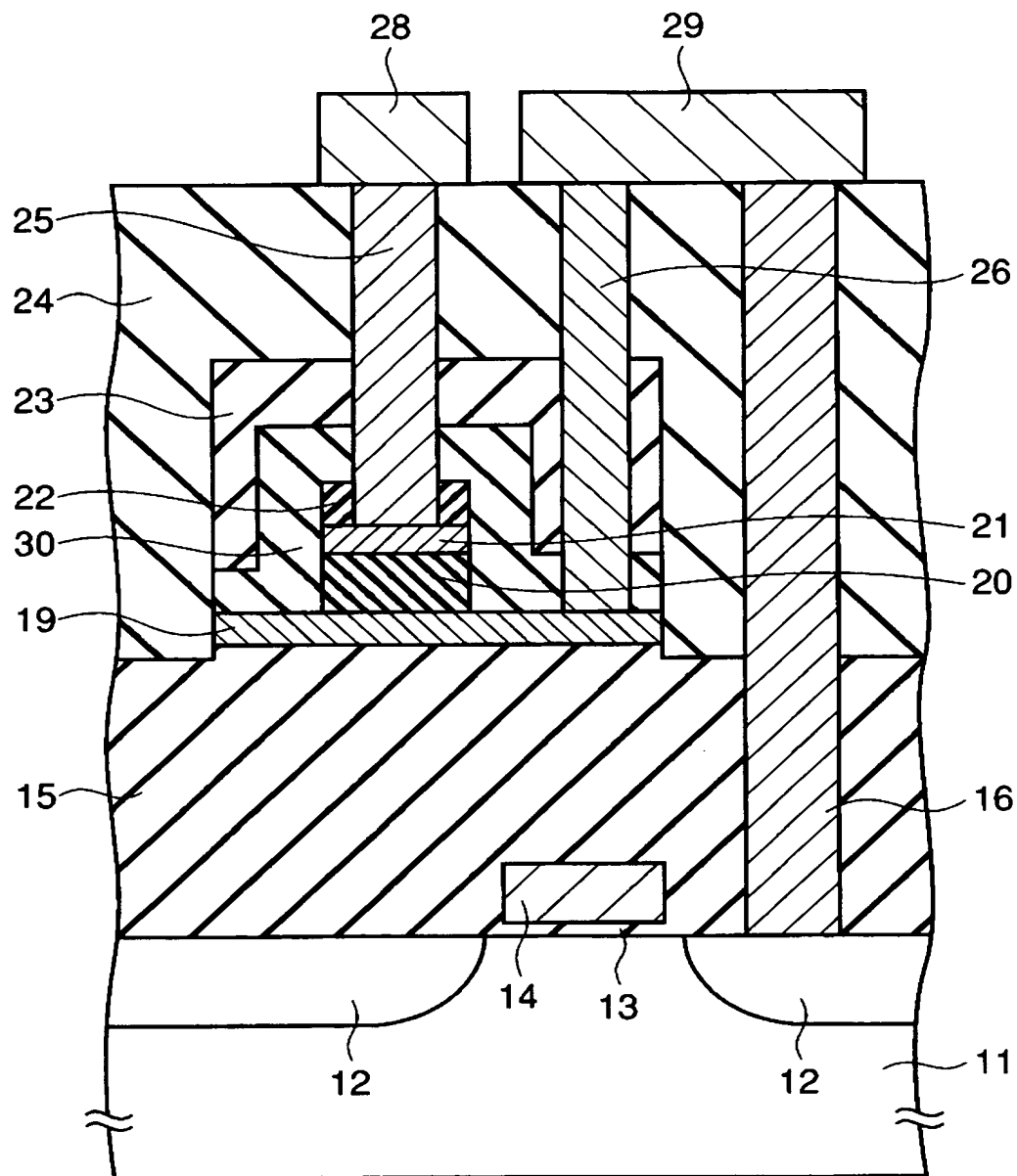
【図 12】



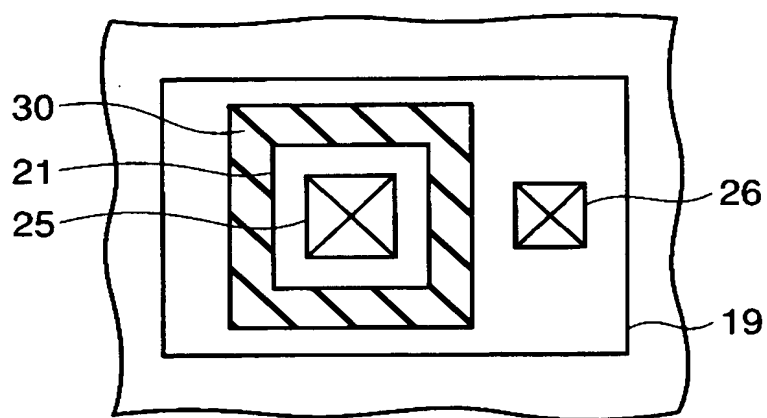
【図 13】



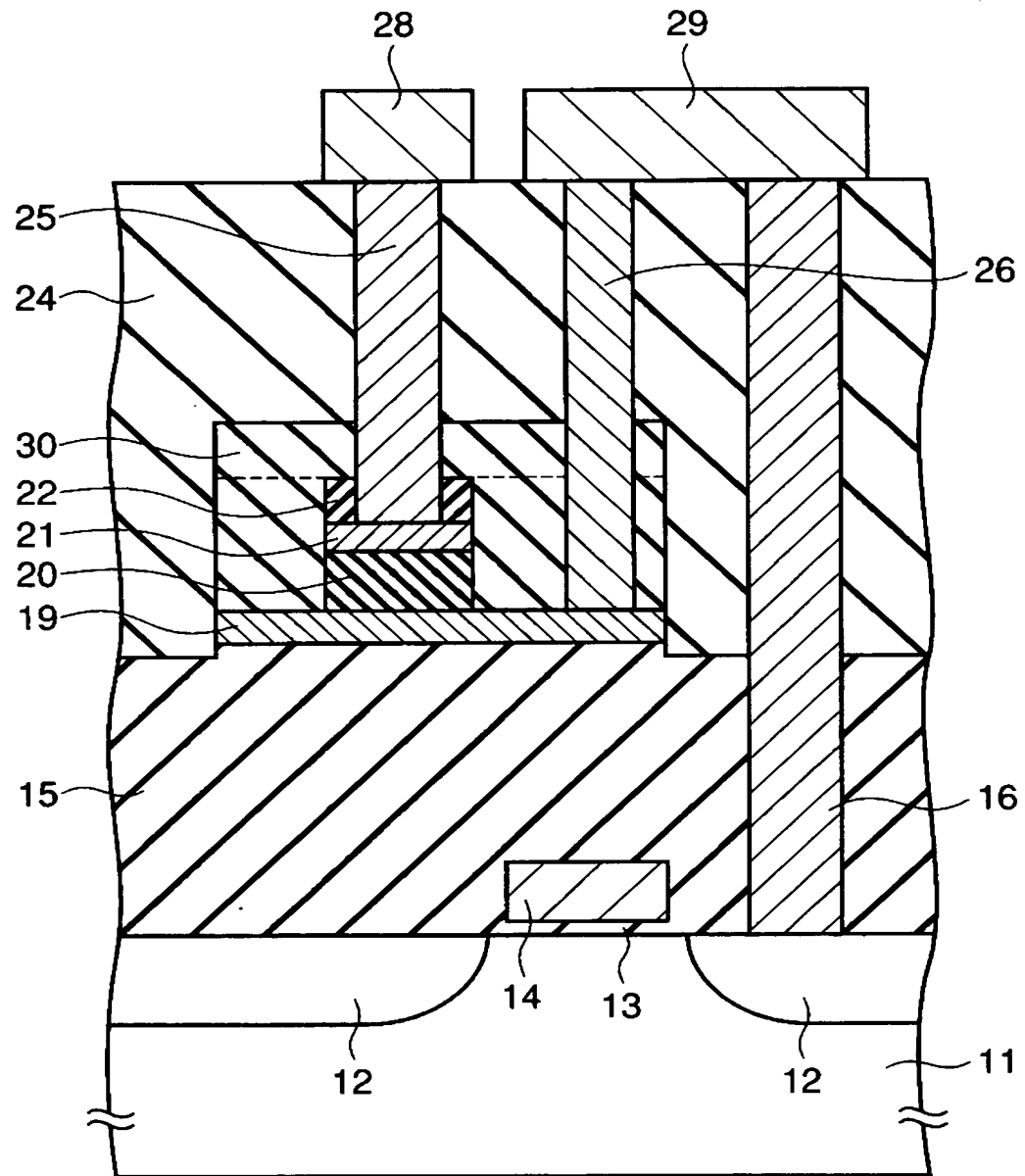
【図 14】



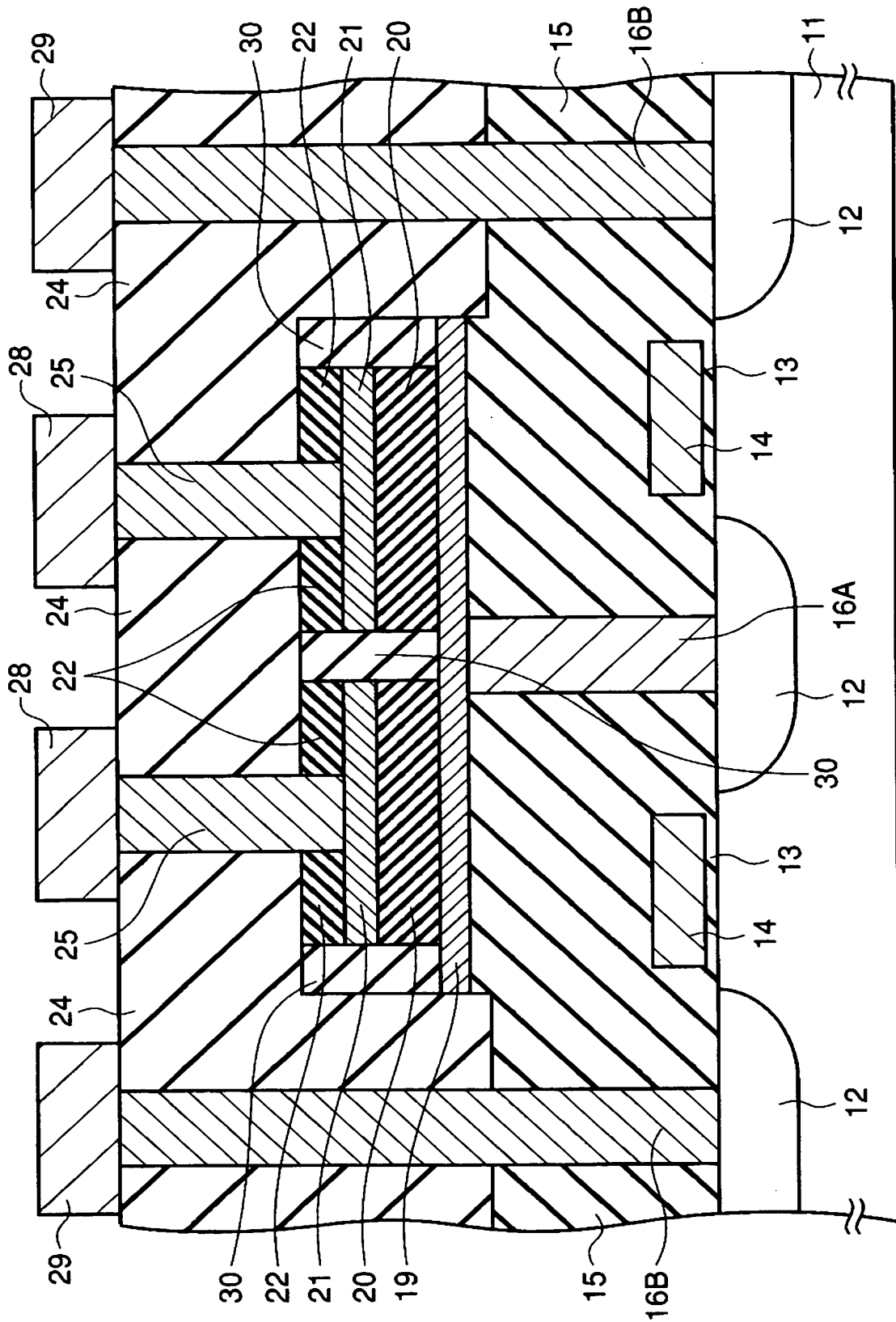
【図 16】



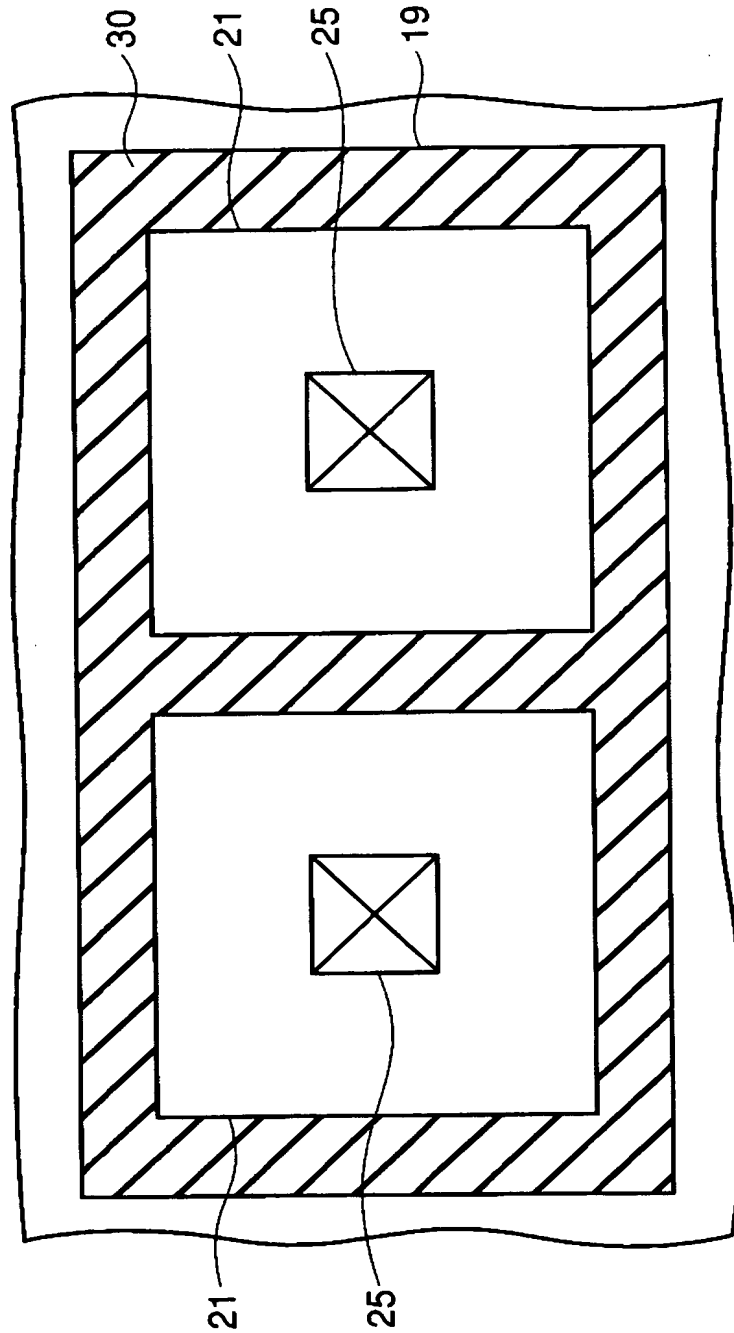
【図 17】



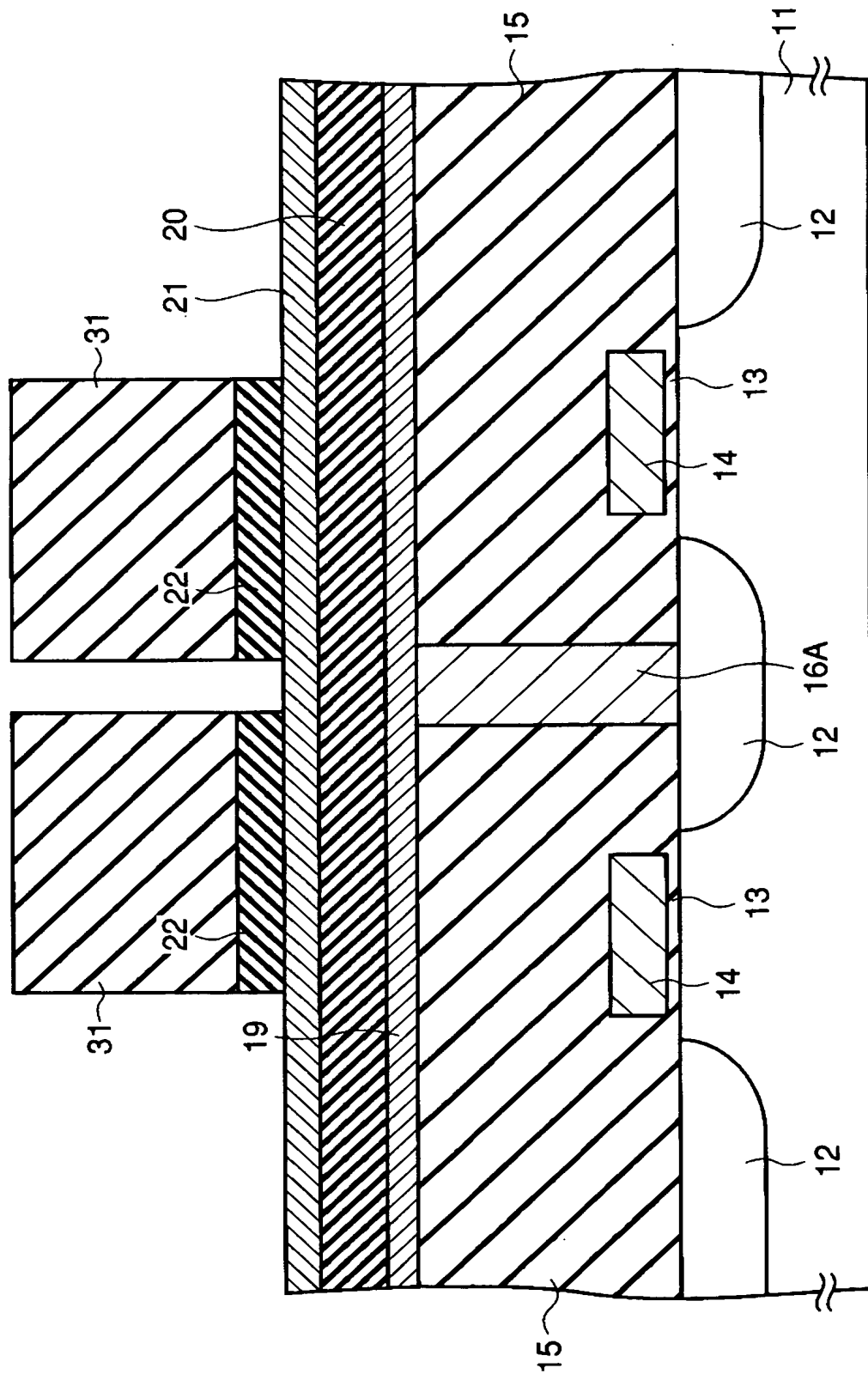
【図18】



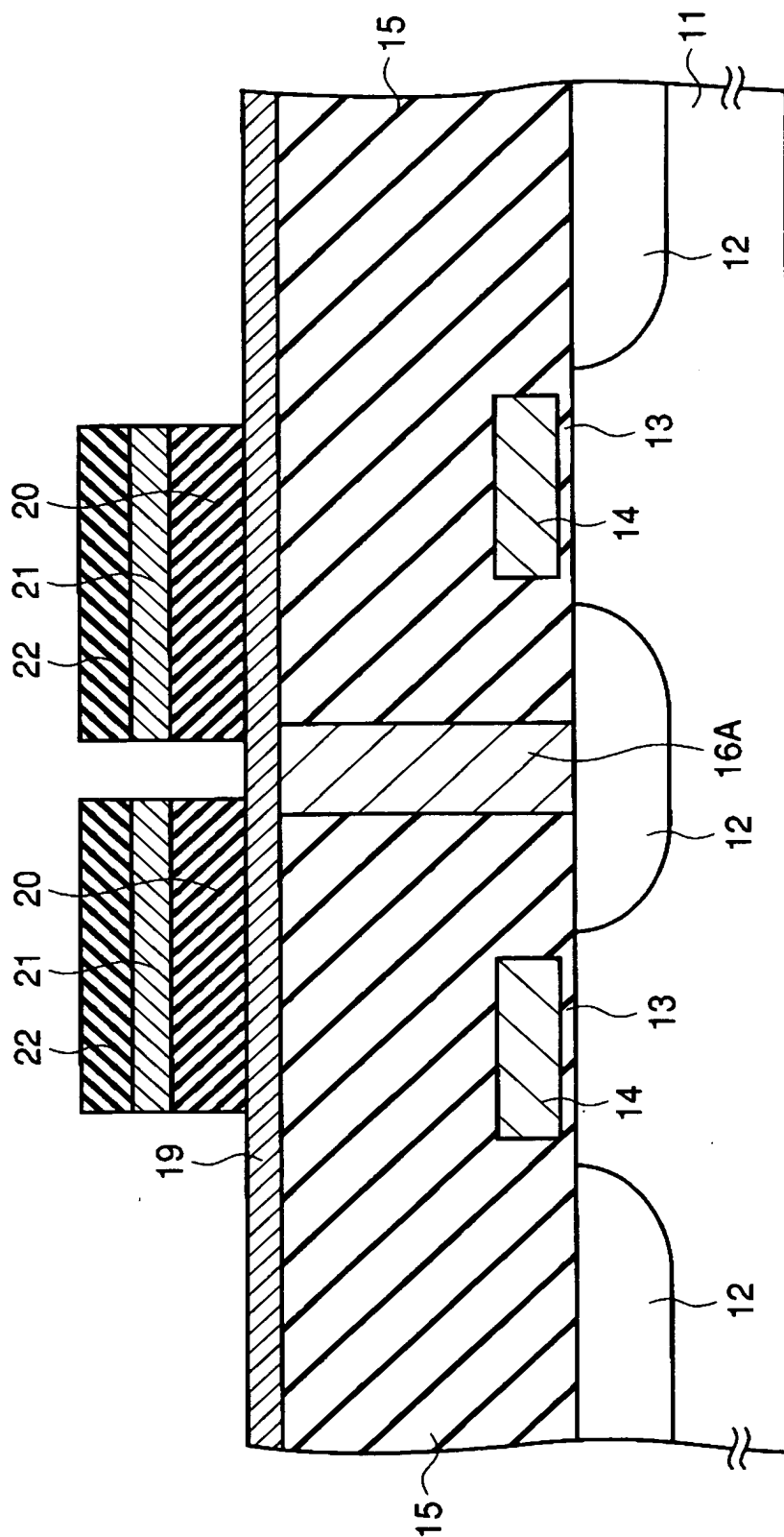
【図 19】



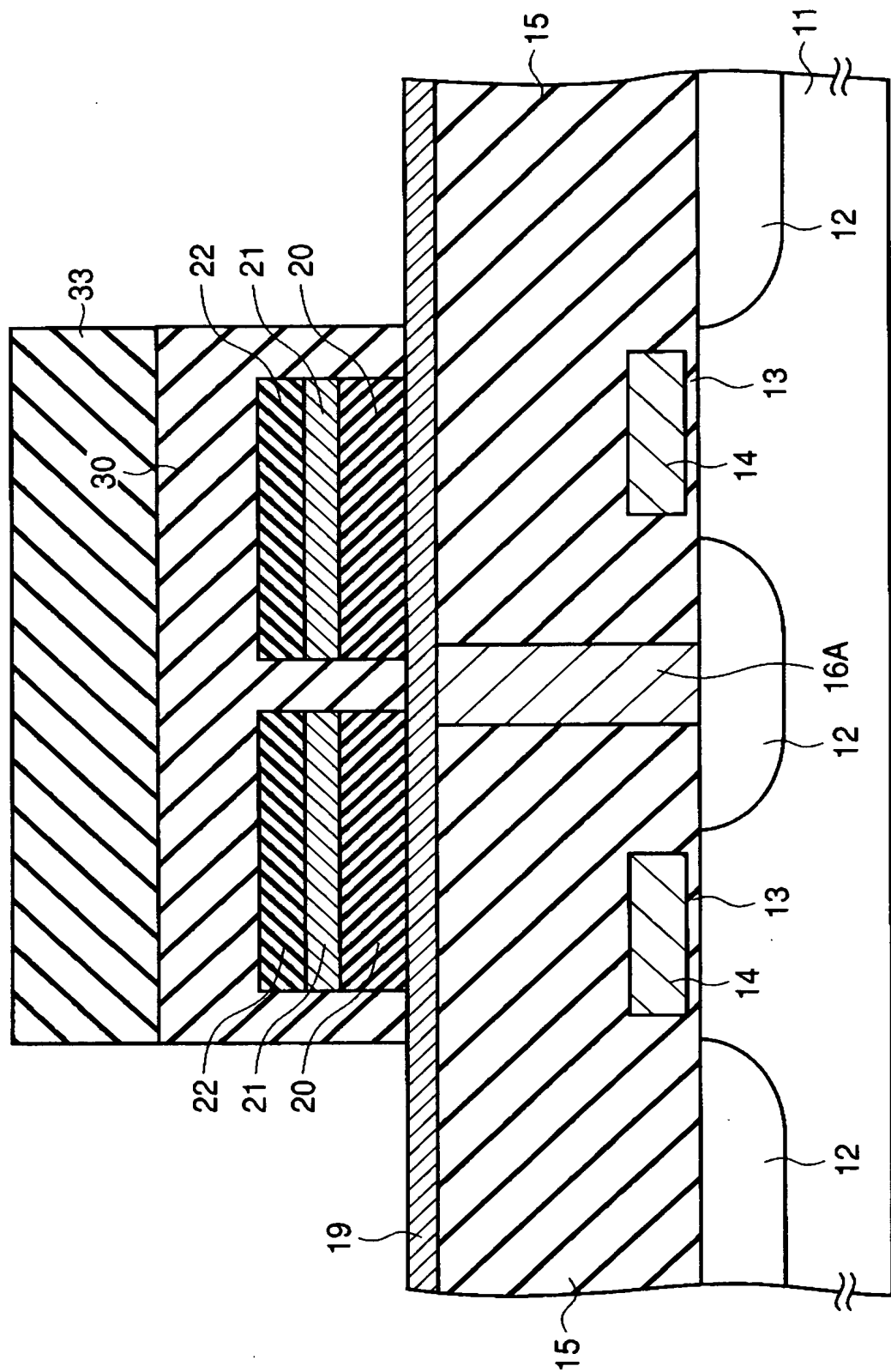
【図 20】



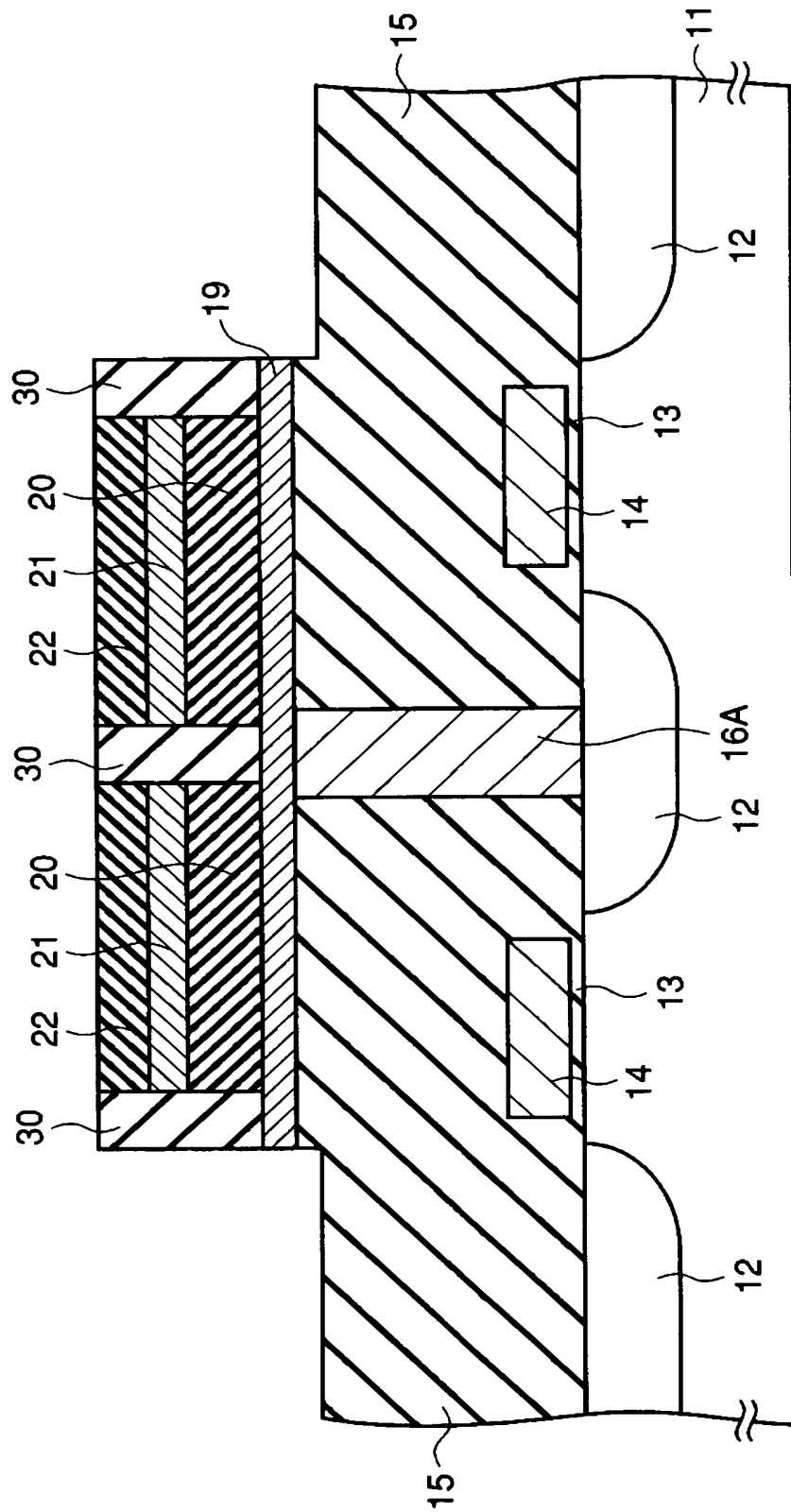
【図 21】



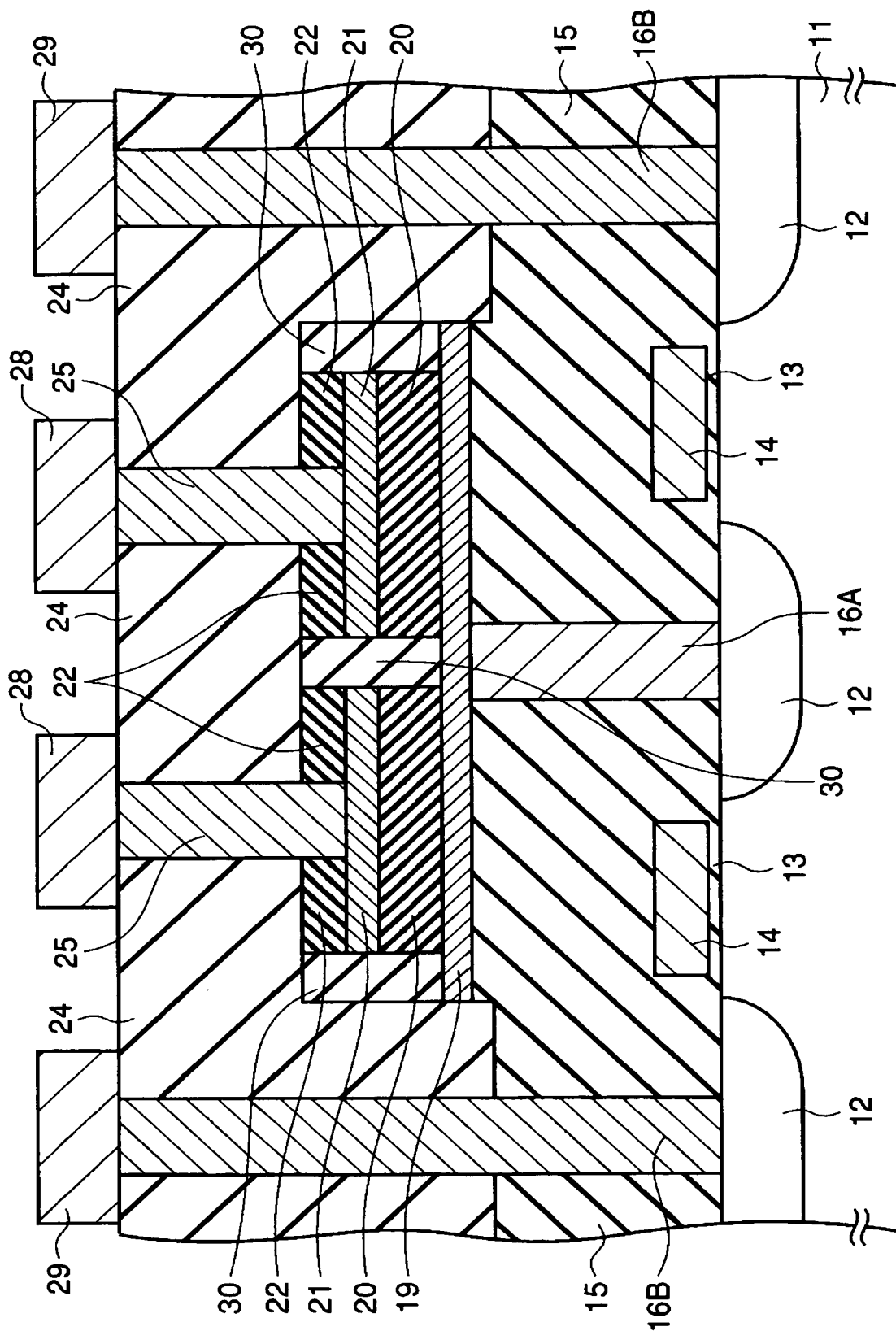
【図 22】



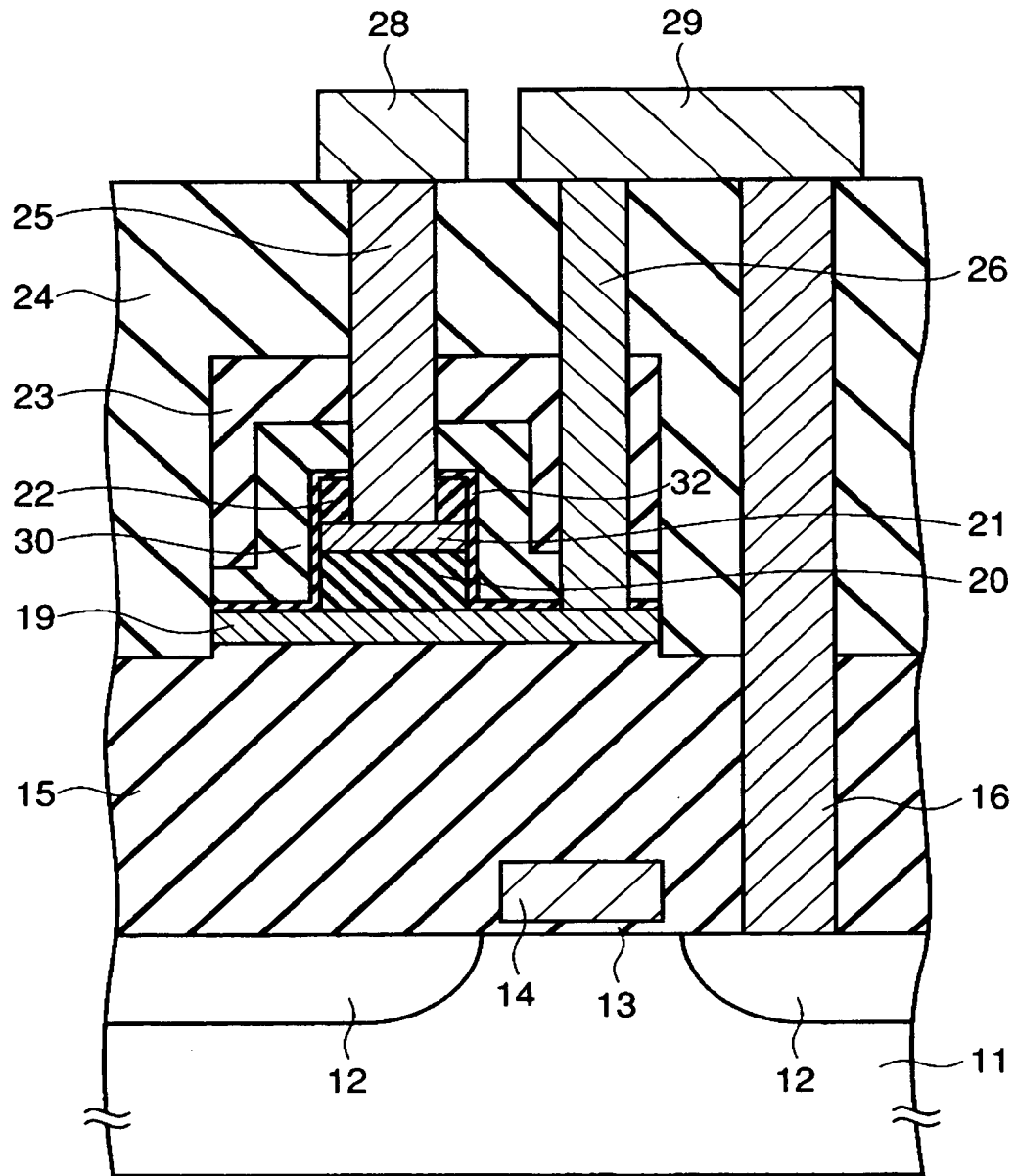
【図 24】



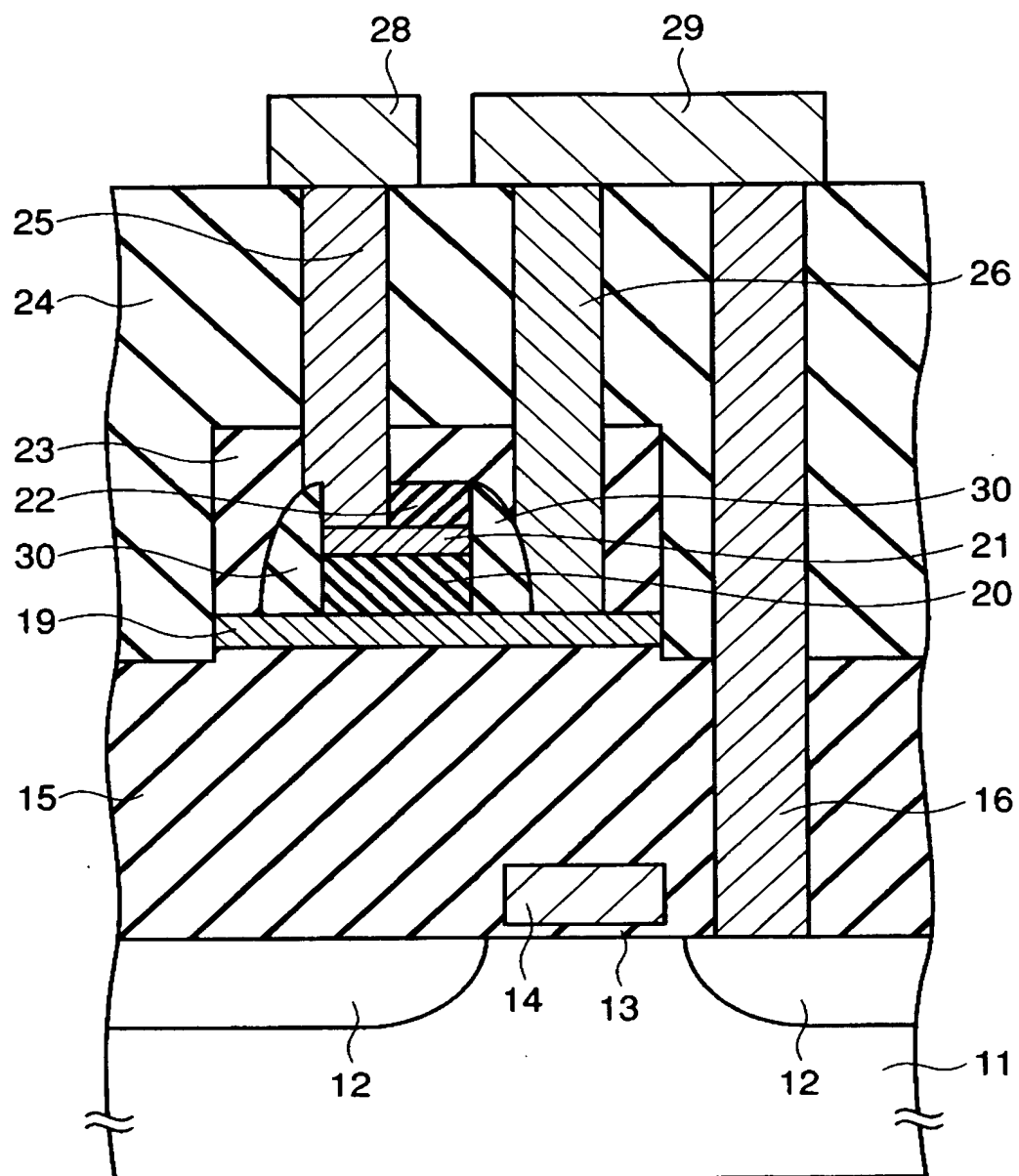
【図 25】



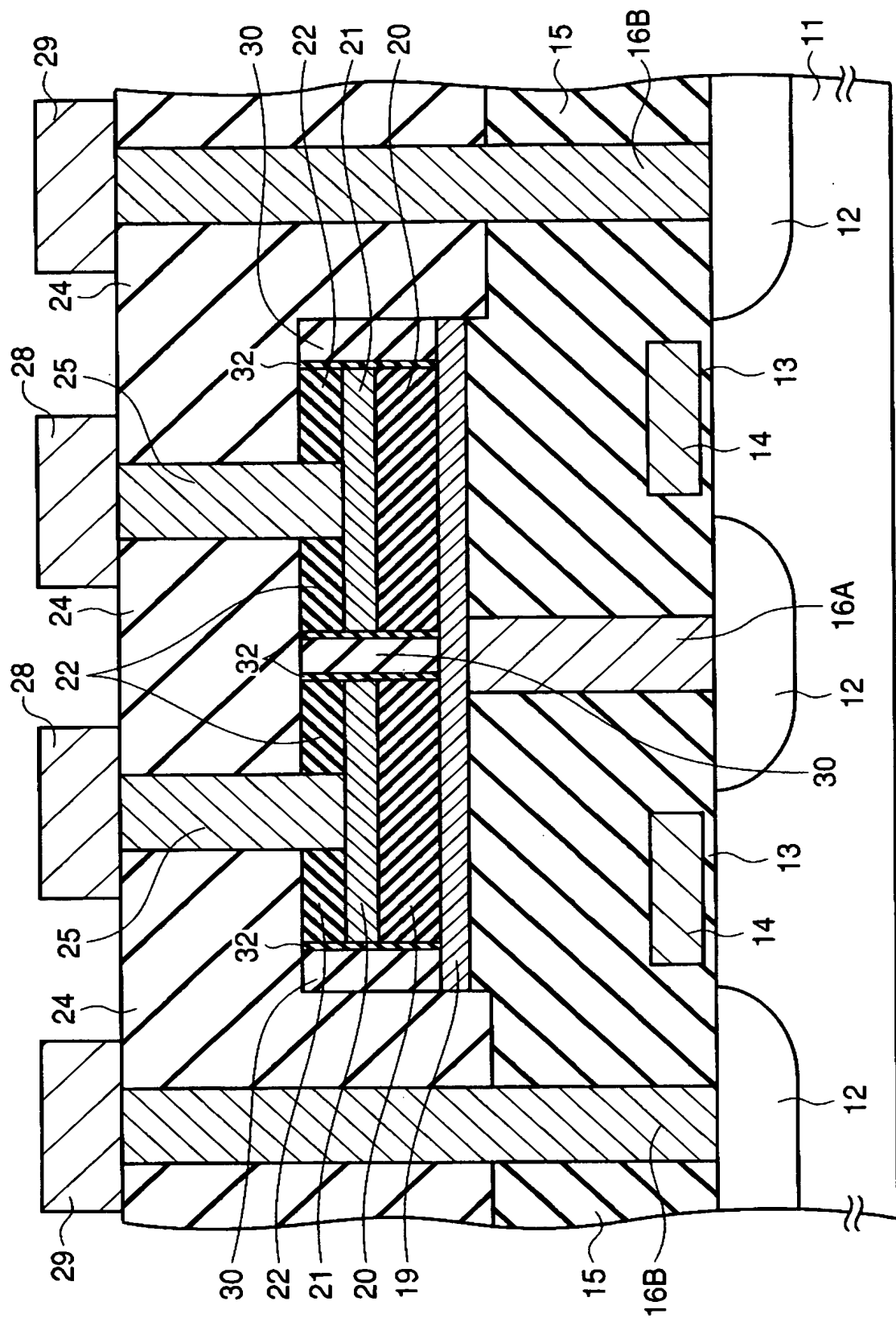
【図 26】



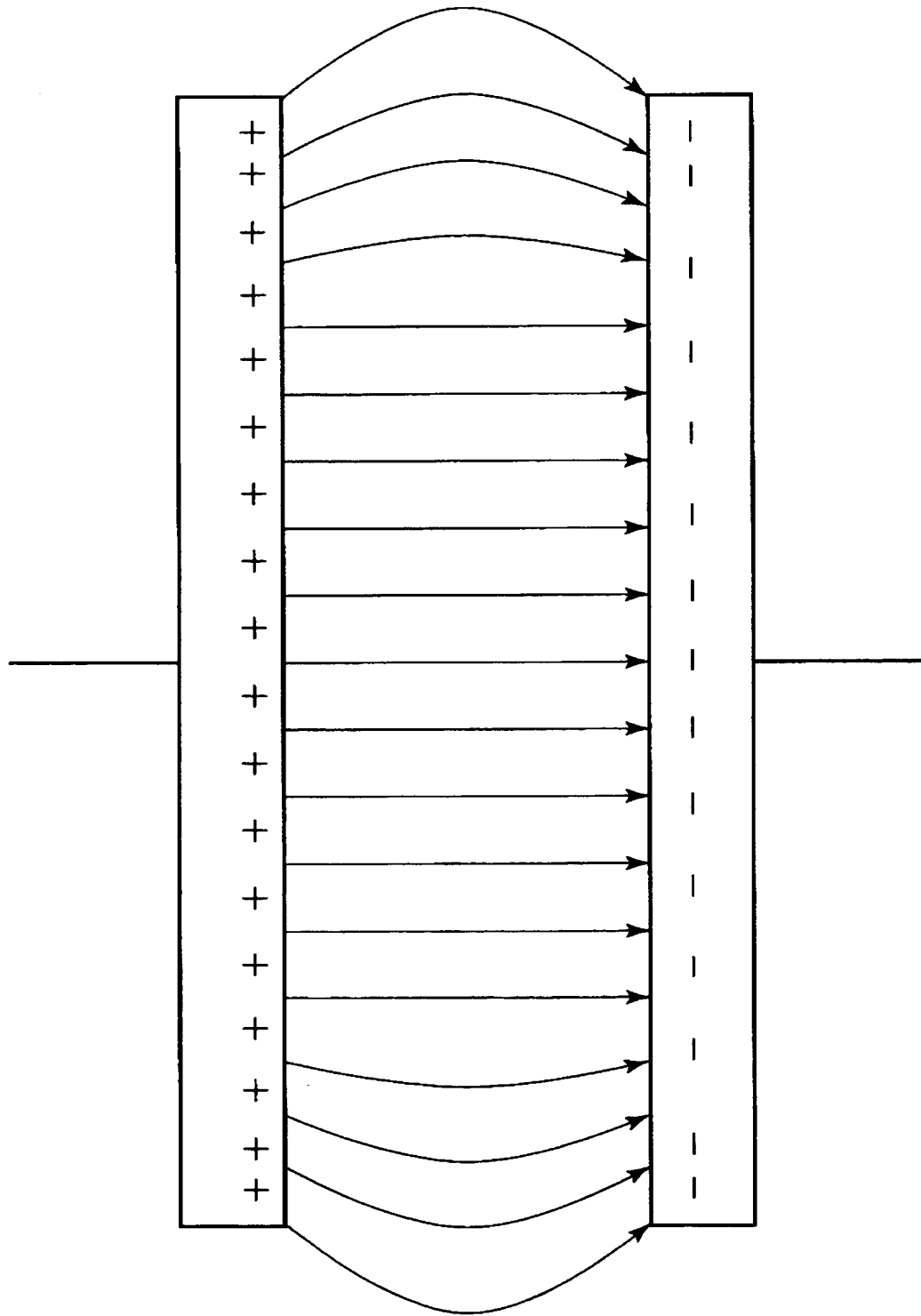
【図 27】



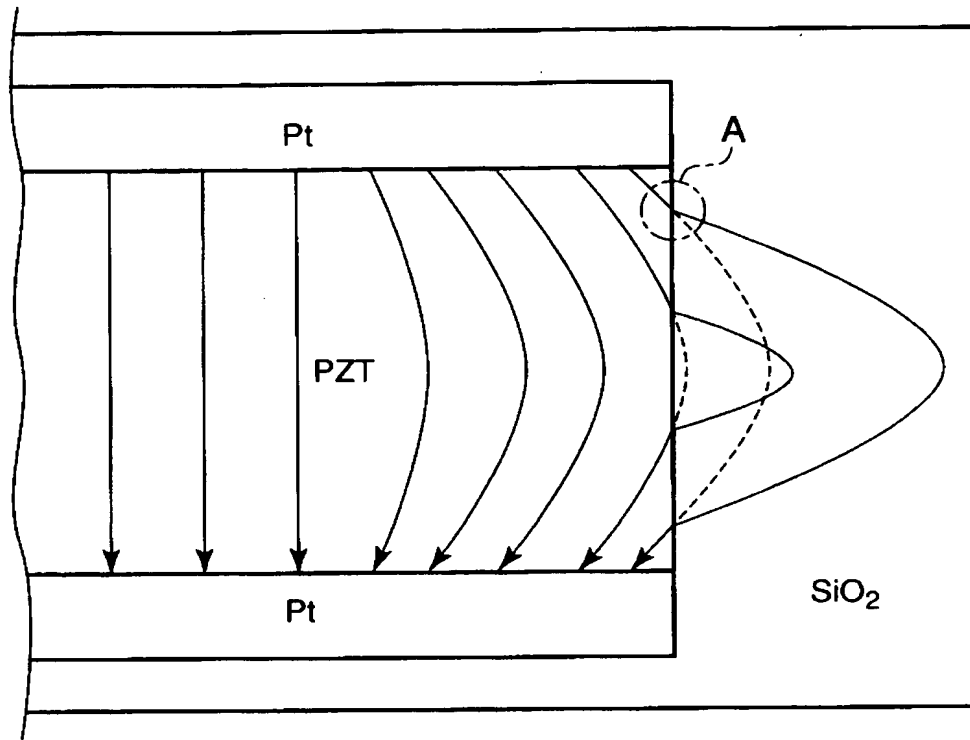
【図 28】



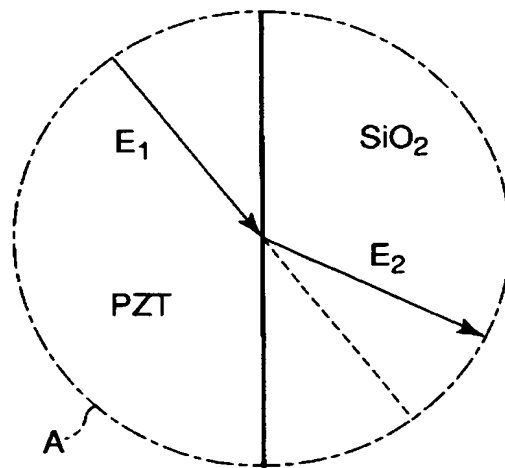
【図 29】



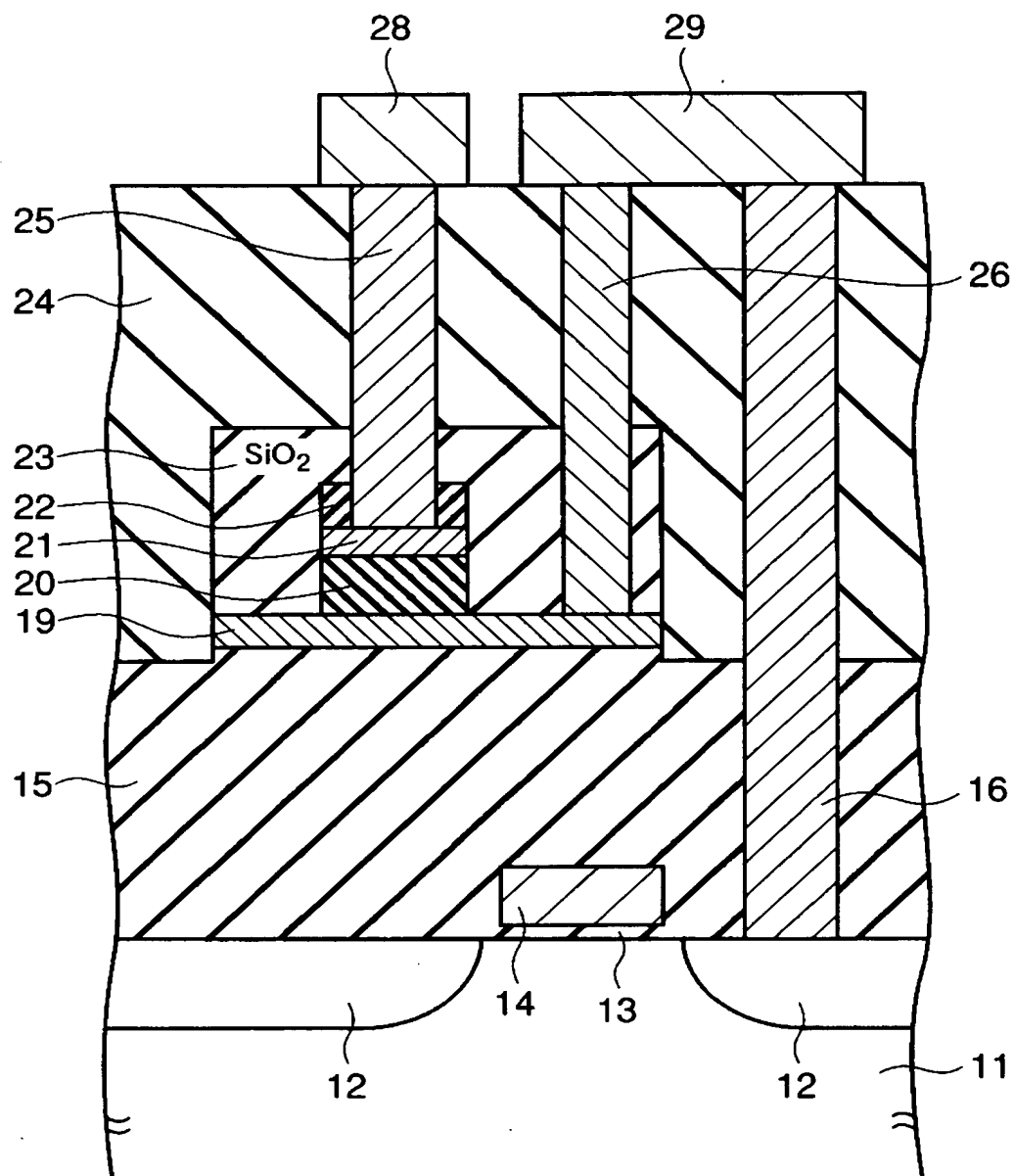
【図 30】



【図 31】



【圖 3 2】



【書類名】要約書

【要約】

【課題】 極板間外への電気力線の漏出による静電エネルギーの損失を防ぐ。

【解決手段】

各キャパシタは、例えば、下部電極B E、電極間誘電体D及び上部電極T Eから構成される。下部電極B Eの直下には、例えば、酸化シリコン(S i O₂)が配置され、上部電極T Eの直上にも、例えば、酸化シリコンが配置される。2つのキャパシタ間のスペースには、低い比誘電率を有する絶縁層L o w - kが配置される。絶縁層L o w - kは、配線の寄生容量を低くするため、できるだけ低い比誘電率の材料から構成する。電極間誘電体Dの側壁上には、電気力線の膨らみを抑えるための高誘電体H i g h - kが配置される。高誘電体H i g h - kの比誘電率は、少なくとも、絶縁層L o w - kの比誘電率よりも大きい。

【選択図】図1

特願 2003-402087

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝